

## 株式会社アドバンテスト IR 技術説明会 質疑応答要旨

2022 年 12 月 7 日(水)

Q: ハイ・パフォーマンス・コンピューティング(HPC)向けテスト市場で御社はリーダーシップポジションにあるとのことだが、SoC テストでは2社寡占の市場の中で、競合に対する技術的な優位性と、今後のシェア獲得の見込みを知りたい。

A: V93000 の優位性については2つの要素があると考えている。

まず、プラットフォームの優位性について。V93000 を市場に初めて投入した時、半導体業界では新たなビジネスモデルである(開発と生産が分業された)サブコントラクトモデルの普及が進んでいた。半導体のパッケージング工程とテスト工程を担う Outsourced Assembly & Test (OSAT) において、彼らの顧客の多様で幅広いテストニーズに対し、当社は1つのプラットフォーム上でシステムの拡張性とパフォーマンスのレンジの幅広さを提供できたこと。加えて、テストの次世代への移行時に、長期的に使い続けられる互換性を業界内で先駆的に実現したこと。このようなソリューションを提供できることが、当社のリーダーシップのポイントとなっている。

一方、技術面での優位性については、PC、スマートフォンからサーバー、AI 向けなど、幅広いコンピューティングデバイスでは、いずれも何度もテストで試験する需要がとても強く、デバイス電源の電力供給も鍵となっている。

当社は常に、テスト開発において長い時間をかけてオープンな開発を重要視してきた。顧客が目指す半導体の高機能化に対し、一歩先にテストの高機能化を計り、ソリューションを提供することで、常に競合に対してもリーディングポジションを確保、それを維持することにつながった。リーダーシップについてその土台となっているのは技術、およびテストのメソドロジーによるものだと考える。

本日のプレゼンテーションで、コンピューテーション、演算について、デバイスに対するリンクパートナーという話をしたが、様々なデバイス接続の部分が全く今までにはない新しい分野になり、デバイスをいかに効率的に接続するのか、といった動的なアーキテクチャーについて新しいテストのメソドロジーを探求する必要がある。

当社は複数の業界団体に参画し、これらの業界のリーダーがどういう動きをとっていくのか、注視している。彼ら、および顧客と共に、今までの伝統的な ATE(Automated Test Equipment) を超える新しいテストメソドロジーを開発している。当社はこれからテストメソドロジーに色々な改善、進展が起こると想定しており、こういった変化を当社がけん引すると考える。

またデバイスが非常に複雑になっていることから、テストに加えてテスト用インタフェースボードやソケットなど、温度制御が非常に重要になる。信号の品質が非常にクリティカルなので、その周辺機器を含めてソリューションを提供することが、競合に対して差別化できるポイント

だと考えている。当社はこれら周辺を含めたターンキーのソリューションに向けて投資も行っている。

Q: 半導体の複雑化でテスト時間が増える、あるいはテスト項目が増えることは、顧客から見るとテストコストの上昇につながると理解している。

今後の流れとしては、顧客がテストコストの上昇を許容していく流れになるのか。その場合、この付加価値とコストとの兼ね合いをどのように考えると良いか。

A: 過去 5 年間に於いてテストタイムの上昇によるテスト数量の増加が当社の成長をけん引してきたと言える。しかし、こういった状況がこれからもずっと続くと思込んではいけないとも思っている。複雑性が 100 倍増加すること、イコール 100 倍のテスト需要の増加と考えてはならない。

そのための取り組みとして、テスト時間をリーズナブルにコントロールすること、またテストカバレッジを十分に、テストカウントをリーズナブルに抑えることにも取り組む必要がある。当社が顧客にとってのボトルネックになってはいけないと強く感じており、そのため当社はテストタイムのコントロールにチャレンジしている。しかし複雑性が増す中、こういった状況は必ずしも簡単なことではない。

またかつてはテスト＝コストという認識が高かったが、特に HPC での最先端プロセスを採用する顧客にとって、テストはコストではなく、Time To Market、Time To Volume、Time To Quality を加速させていく非常に重要なポジションに変わってきていると考える。

そのため不良品を弾くだけでなく、歩留まりを上げるための重要なパラメータの一つにテスト結果が入ってきている。もちろんテストタイムはリーズナブルに抑えなくてはならないが、半導体のクオリティを上げるため、ボリュームを上げるため、そして早期市場投入実現のためにテストが重要になってきていると実感している。

Q: テストに要する時間の近似値として、トータルのトランジスタ数は一つ分かりやすい数値だというコメントがあった。例えばスマートフォンのアプリケーション・プロセッサ (APU) は、1 チップ当たりのトランジスタ数はそこまで多くないが、数量は非常に多い。一方で HPC のプロセッサは、数量は少ないが 1 チップ当たりのトランジスタ数は非常に多い。それぞれをかけ算した数字が同じだった場合、スマートフォンの APU 向けに必要なテストと同じぐらい、HPC 向けのテストは必要だと考えて良いか。

A: 近似値としてその方程式は悪くはないと思うが、実際はそこまでシンプルではない。複雑性をけん引しているのは、実はトランジスタの数だけではなく、それ以外にも例えばチップレットやマルチチップパッケージ、その他にも重要な要素が多くある。

先ほど 100 倍という数字について言及したが、これはデバイスのサイズやノードだけでなく複数チップの 1 パッケージ化もある。こういったことがテストを複雑化し、テスト需要をけん引していくと考える。

Q: HPC 向けのプロセッサは、スマートフォン向け APU と異なり製品サイクルが 2-3 年と長い  
ため、顧客はテスト項目数を減らしてテストコストを下げる工夫ができるのではないかと。

A: その通りだが、例えばデバイスのライフタイムにおいて、初期段階のフェーズが重要となっ  
ている。そのフェーズにおいて半導体メーカーは様々な学習や習熟をしながら生産性の向上に  
努める。つまりテストのニーズは初期段階が特に大きくなる。

HPC においても今後新しいノードが必要になる中で、初期段階に多くのテストニーズがあり、  
そこで一気に伸びた後に、ライフタイムが経過する中で、その伸びが緩やかになっていく。し  
かしまた次のデバイス、次のジェネレーションという動きがあり、テストニーズがまた伸びると  
いう形で、デバイスのライフタイムに沿ったテストニーズの分散があると思う。

Q: 複雑性の増大について、特にソフトウェアとのインテグレーションに言及されたが、今後、例え  
ば EDA ツール企業や、ソフトウェア企業などがこの市場に参入してくるというリスクはない  
か。

A: そのようなことは実際起こっているが、今後についてはそういった競争はあまり想定してい  
ない。当社は反対の考え方をしており、それはつまりテストの役割が変わることを想定してい  
る。

テストは長い間、不良品を見つけそれを弾く役割をしてきたが、今後については Design For  
Testability (テスト容易化設計) へのパスというところで、デバイスに対する知識、またはイン  
サイトを深めるという役割に発展すると思っている。つまり、リスクというよりも、チャンスとら  
えている。

以上

※本資料に記載されている内容は、IR 技術説明会の質疑をもとに当社の判断で要約したものです。また本資料  
には、将来の事象についての、当社の現時点における期待、見積りおよび予測に基づく記述が含まれておりま  
す。これらの将来の事象に係る記述は、当社における実際の財務状況や活動状況が、当該将来の事象に係る  
記述によって明示されているものまたは暗示されているものと重要な差異を生じるかもしれないという既知および  
未知のリスク、不確実性その他の要因が内包されており、当社としてその実現を約束する趣旨のものではありま  
せん。