

株式会社アドバンテスト  
IR 技術説明会 質疑応答要旨

2024 年 11 月 28 日(木)

[HPC(High Performance Computing)/AI のテスト需要動向]

Q1: 本日の説明を聞き、HPC 用テスト市場は、その質・量ともに今後もかなりのペースで拡大していく期待を持ったが、この見方は正しいか。GPU(Graphics Processing Unit)はすでに技術的な限界に迫るようなものが出てきている中で、今後も早いペースで進化していくと、テストがそれに追従することは容易ではない状況と理解したが、いかがか。

A1: 半導体やテストの複雑度が増して、テスト・ボリュームが増える傾向にあることは間違いないと考えている。現在のテスト・ボリューム増大は構造的な要因によるもの。そのテスト・ボリュームの増加の度合いは、次世代半導体へ移行する際に対象ウェーハを実際に測定してみないと分からない。顧客も当社も未だこのようなテスト・ボリュームの変化の入り口におり、もう少し経験値を積み上げていくことが必要で、事前の想定より変動することは今後もありうる。テスト時間、テスト・ボリューム、テスト工程を事前に予測することはとても難しい。一方で、顧客はスキャン・テスト\*時間の抑制に向けて、より効率的なテスト・パターンの生成に取り組まれている。当社もテストベンダーとして EDA(Electronic Design Automation)ベンダーと協業し、顧客の半導体の技術進化を支えるべく貢献していきたい。

\*「スキャン・テスト」: プレゼン資料 P12 ページに詳細、試験容易化回路を用いた試験手法

[半導体の技術変化とテスト時間の変化]

Q2: ハイエンド SoC テスタの主要な需要ドライバーが、これまでのスマホ用 APU(Application Processor Unit)から HPC に変化する過程において、テスト時間はどのように変化していくのか。トランジスタ数が増加する流れは以前からあった。これまでは、新しい半導体の初期段階でテスト時間が伸びた後、歩留まりの向上と共に徐々に平準化していたと思う。

A2: 新しい半導体が発売される初期段階ではテスト時間が増え、その後、半導体自体とテスト品質の成熟に伴いテスト時間を平準化させる取り組みは、APU 向けと HPC 向けで基本的に変わりはない。一方で、特に HPC 向けでは、新デバイスの開発サイクルが 1 年程度と短いサイクルになってきている。顧客がテスト時間の最適化に取り組む余裕が十分でないというのが実情ではないか。

[半導体の技術進化に対するテスト能力カバレッジ]

Q3: チップレット\*化によってテスト時間が増えたと理解している。今後、チップレットに搭載されるダイの数がさらに増えると、それに伴いテスト時間は長くなるのか。

\*「チップレット」: 役割ごとに機能を分割した小さな半導体チップをブロックのように組み合わせ、1パッケージに収める技術

- A3: ご認識のとおり、チップレットに搭載するダイが増えれば、テスト時間は長くなる傾向にあると考えている。スキャン・テストの効率化に対しては、当社は EDA ベンダーと取り組んでいるものの、全てのダイをテストする流れは変わらないため、パッケージに載せるシリコン・ダイの数が増えると、テストの対象数の増加とテスト・パターンの長大化につながり、テスト時間は長くなる。また、複数のシリコン・ダイをインター・ポーザー（半導体チップや電子部品を接続する中間基板）の上に並べて配置すると、ダイとダイの間の相互接続部分（インターコネク）で不良が発生しやすく、テスト項目が追加される要因にもつながる。

#### [テスト手法]

- Q4: プレゼン資料 16 ページにある「V93000」のモジュール群で、HPC 向けの主力は「PS(Pin Scale)5000」だと認識しているが、今後の計画はいかがか。数年後、より高い性能や処理能力がテストに求められても「PS5000」が有効なのか。
- A4: 「PS5000」は 5Gbps までのテスト・スピードに対応できるなど、HPC 向けデジタル・モジュールの主流となっている。今後も長期間にわたり主力モジュールとしてスキャン・テストをカバーできると考えている。加えて、プレゼン資料 11 ページで説明したように、多くの顧客は Scan-over-HSIO(High Speed IO)技術など様々なアプローチでスキャン・テスト効率の向上に取り組まれている。そこでは「PS Multilevel Serial」や「Link Scale」などのモジュールを、「PS5000」と同時に採用いただくことでテスト・カバレッジを拡充している。
- Q5: 競合他社に対して、御社のスキャン・テストは何が優れているのか。
- A5: 例えば、スキャン・テストの実行において、「PS5000」が保有する「ベクター・メモリ(入出力パターンを保存するメモリ)容量の大きさ」や、「入出力ピンの数」、「入出力信号のスピード」といった仕様面で、競合優位性を有していると認識している。さらに、顧客のテスト仕様に応じて、この三要素をフレキシブルにバランスさせることができる柔軟性を備えていることなどが、多くの顧客に受け入れていただいている要因だと考えている。
- Q6: 「ベクター・メモリ容量の大きさ」とは、プレゼン資料 12 ページにある入出力パターンの行と列をより多く保存できる、つまり一度により多くの情報をテストできるという理解で正しいか。
- A6: はい。
- Q7: プレゼン資料 12 ページにある「95～99.5%の検査カバレッジ」とは何を指すのか。

A7: 検査カバレッジとは、テスト対象デバイスに搭載されるトランジスタに対し、スキャン回路がどの程度トランジスタをテストできるかを示す値。95～99.5%という範囲を示したが、顧客のスキャン回路の設計によって異なる。

以上

※本資料に記載されている内容は、IR 技術説明会の質疑をもとに当社の判断で要約したものです。また本資料には、将来の事象についての、当社の現時点における期待、見積りおよび予測に基づく記述が含まれております。これらの将来の事象に係る記述は、当社における実際の財務状況や活動状況が、当該将来の事象に係る記述によって明示されているものまたは暗示されているものと重要な差異を生じるかもしれないという既知および未知のリスク、不確実性その他の要因が内包されており、当社としてその実現を約束する趣旨のものではありません。