



アドバンテスト IR技術説明会

HPC/AIデバイス・テストの特徴とニーズ

2024年11月28日

執行役員 営業本部 副本部長 システムソリューション統括部長 大澤 昭夫
93000 Product Unit Center of Expertise (COE) Functional Manager 飯野 隆之

All Rights Reserved - ADVANTEST CORPORATION

ご注意

将来の事象に係る記述に関する注意

- 本プレゼンテーション資料およびアドバンテスト代表者が口頭にて提供する情報には、将来の事象についての、当社の現時点における期待、見積りおよび予測に基づく記述が含まれております。これらの将来の事象に係る記述は、当社における実際の財務状況や活動状況が、当該将来の事象に係る記述によって明示されているものまたは暗示されているものと重要な差異を生じるかもしれないという既知および未知のリスク、不確実性その他の要因が内包されており、当社としてその実現を約束する趣旨のものではありません。

本資料の利用について

- 本プレゼンテーション資料に記載されている情報は、各国の著作権法、特許法、商標法、意匠法等の知的財産権法その他の法律及び各種条約で保護されています。事前に当社の文書による承諾を得ない限り、法律によって明示的に認められる範囲を超えて、これらの情報を使用（改変、複製、転用等）することを禁止します。

アジェンダ

✓ SoCテストの事業環境

✓ HPC/AIデバイス・テストの特徴とニーズ

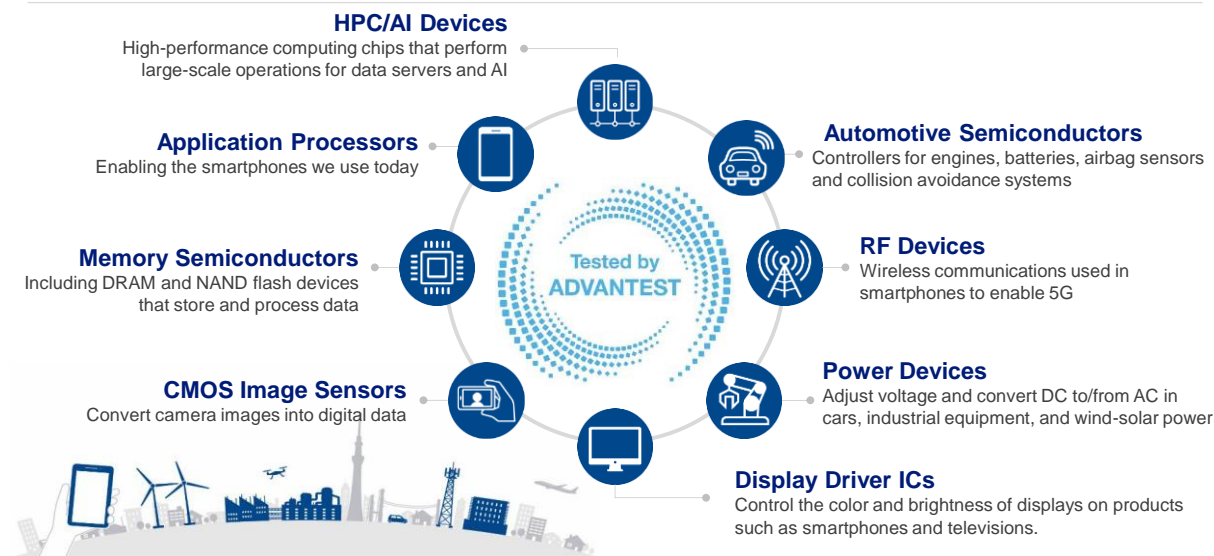
SoCテストの事業環境

All Rights Reserved - ADVANTEST CORPORATION

ADVANTEST[®]

- こんにちは。大澤です。
- まず、私の自己紹介をしたいと思います。1989年にアドバンテストに入社し、システムエンジニアリング部門、SEに配属されました。以降、主にSoCテストのSEとして、テストの販促活動やお客様のテスト課題に対するテスト・ソリューションの提供、技術サポート等に従事してきました。
- 現在は、SoCに加えメモリを含めたテスト全般のシステム・エンジニアリングおよびアプリケーション・エンジニアリングを担当するシステム・ソリューションというグローバル部門を統括しております。
- これより、私から、SoCテストの事業環境について説明させていただきます。

The Devices We Test

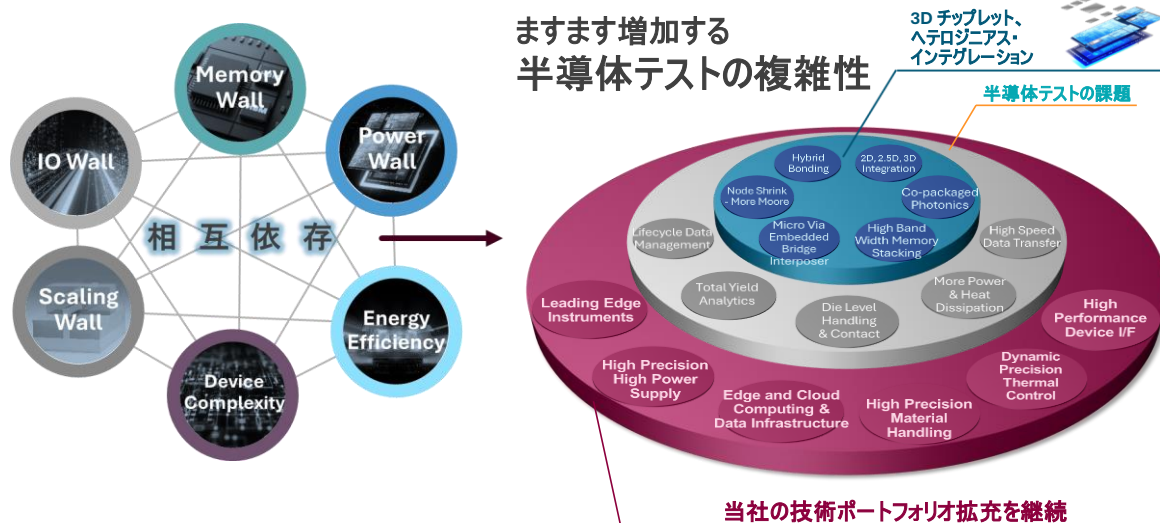


5 | ADVANTEST

All Rights Reserved - ADVANTEST CORPORATION

- 当社は、テストを通じて、あらゆる半導体の品質を支える役目を担っております。
- スマートフォンなどの端末から、データセンタなどのインフラまで、いまや半導体はあらゆるアプリケーションに使われています。さまざまな機能の追加、充電することなく長時間端末を使用するための低消費電力化といったエネルギー効率の向上など、半導体の技術進化は現在の私たちの生活の利便性を高めております。
- ここ数年、多くのデータを高効率で収集、学習、推論、生成するAI技術が台頭しています。そして、AIが世の中により浸透していくためには、半導体の処理能力を高めることで、飛躍的に増大するデータを、より高速に処理できる環境を整えることが不可欠です。現在、新たな半導体パッケージ技術を用いることにより、HPCやHBMなど高性能半導体のシステム化と性能向上が急速に推し進められています。
- 私は当社でシステム・エンジニア、SEとしてさまざまな半導体を開発、評価する顧客に長年寄り添ってきました。SEの役割は、顧客のTime to Market, Time to Quality, Time to Volumeに技術サポートを通じて貢献することです。具体的には、テスト・プログラムの開発支援をしたり、半導体の不良個所の特定を顧客とともに実施することで、デバイスごとのテスト環境の最適化を支援します。その中で、顧客が抱える技術課題に耳を傾け、求められるテスト・ソリューションの進化を探求してきました。それを当社開発部門にフィードバックし、次世代のテスト技術を生み出す。このサイクルを数々経験してきました。
- 本日は、HPCを取り上げ、その半導体の技術進化にはどのような特徴があり、どのようなテスト・ニーズを生み出しているのかについて、後ほど飯野より詳しく説明させていただきます。

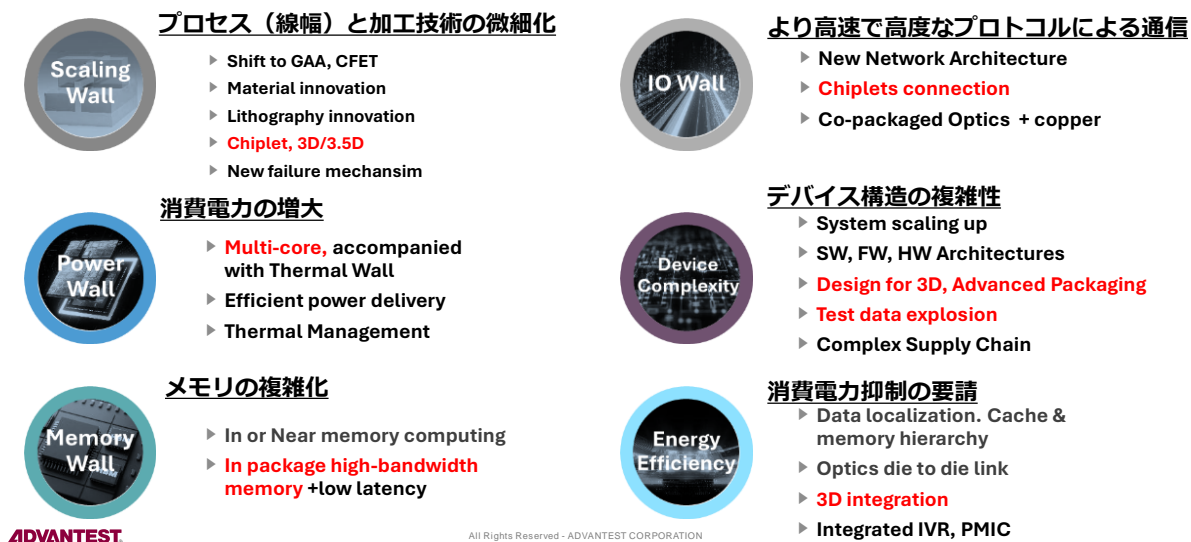
加速する「複雑性」



- 今年6月、当社は第3期中期経営計画の説明において、「半導体産業は複雑性の時代に変化している」と申し上げました。
- 半導体業界の課題は、スライド左側の図のように要約できますが、課題を表す6つの円は全てつながっています。これらの課題は、複雑性の面からは各々が重要で、かつ関連し合っていることを意味しています。
- そして複雑性には乗数効果があります。AI向けなどの高度なコンピューティングを担うデバイスになると、課題同士の相互依存性はより強くなります。
- そして、半導体プロセスにおいて、相互に絡み合った問題の解決を担うために必要な工程が、テスト工程です。「複雑性の時代」においては課題同士の相互依存性が強まるほど、テスト・ソリューションの強化、進化、統合が必要になります。すなわち、テスト・インテンシティが上昇していきます。
- 右側の図は、先端テスト・ソリューションがもたらす価値を示しています。
- AIの普及に伴い、半導体バリューチェーンは学習、推論、生成などの高度なコンピューティング機能を1つのデバイスに搭載するという課題に取り組んでいます。
- その過程で、すでに多くの相互依存性の問題が顕在化しています。そして今後、ますます大きな業界課題となっていくことと予想しています。この流れを受け、当社が培ってきた技術アセットやノウハウは、さらに価値を増していくことを確信しています。

加速する「複雑性」

■ 半導体産業の抱える課題は、それぞれが複雑化かつ、相互に依存的で影響しあう



- 半導体産業の抱える課題をもう少し詳しく見てみます。6つの円の課題を詳述すると、

- Scaling Wall は、線幅の微細化と加工技術の微細化
- Power Wall は、消費電力の増大
- Memory Wall は、メモリの複雑化
- IO Wall は、より高速で高度なプロトコルによる通信
- Device Complexity は、デバイス構造の複雑性
- Energy Efficiency は、消費電力抑制の要請

などと表現できます。それぞれの課題のうち、赤字でハイライトしたものは、ここ数年で顕著となっています。

- 先ほど説明したように、これらの課題はそれぞれが高度化する一方で、相互に依存し、影響し合っています。
- この次のスライドより、これらの課題がどのようにHPC/AIデバイスのテスト・ボリュームの増加につながっているかを示しながら、テストの特徴とニーズについて説明してまいります。
- それでは、飯野さん、お願いします。



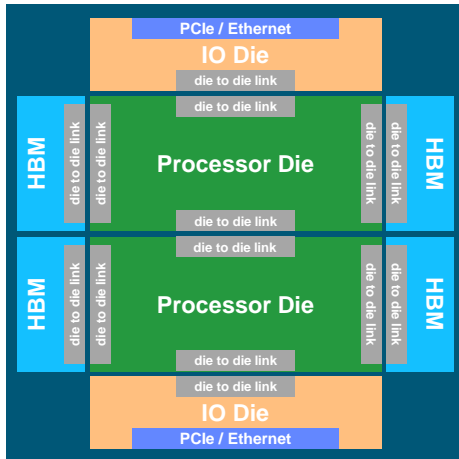
HPC/AIデバイス・テストの特徴とニーズ

All Rights Reserved - ADVANTEST CORPORATION

ADVANTEST®

- こんにちは、飯野と申します。よろしくお願いいたします。
- ここからは、HPC/AIデバイス・テストの特徴とテスト・ニーズと題しまして、私から技術的背景を含めた、HPC/AIデバイスのテストニーズについてご説明をさせていただきます。
- 少し私の自己紹介をさせていただきます。私は2001年に当社へ入社し、以来一貫して、SoCデバイスのテスト技術に関連して国内外のお客様をサポートしております。
- 現在はSoCテスト「V93000」のマーケティング組織において、High Performance Digital分野の試験技術開発および技術の側面からお客様の課題解決をサポートする、Center of Expertiseという部門に所属して活動しております。
- 次のスライドでは、まずHPC/AIデバイスの特徴と技術動向についてお話を始めさせていただきます。

HPC/AIデバイスの特徴と技術動向



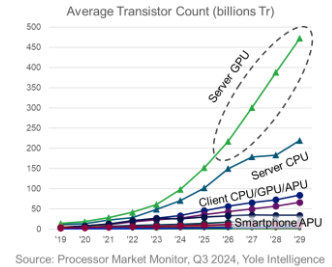
• 特徴

- チップレット・デザイン
- 複数のプロセッサ・ダイ
- 複数のIOダイ
- 複数のHBM

• トレンド

- 微細化、新しいプロセス技術、3D実装、パッケージ大型化
- チップレット、複数ダイが標準に
- IOダイは、より高速化 (PCIe5/6, 多値伝送)
- HBMは、より高速化、大容量化、多数個実装

Source: Advantest



大規模なダイが多数実装され、それらを効率的にテストしなければならない

9

ADVANTEST

All Rights Reserved - ADVANTEST CORPORATION

- スライド左にある大きなブロック図は、データセンタ内のAIサーバ等で稼働するプロセッサをイメージしたものです。大別してProcessorダイ、IOダイ、そしてHigh Bandwidth Memory (HBM)で構成されています。
- HPC/AIデバイスの共通の特徴として、チップレット・デザイン、複数のプロセッサ・ダイ、複数のIOダイ、複数のHBM、などが挙げられます。
- まず近年の変化として、2014年ころに仮想通貨技術が登場しました。それに呼応して、ASICマイニングやGPU技術が急速に開発され、並列コンピューティング能力が注目され始めました。
- 2022年末にOpenAIのGPT-3とChatGPTが登場し、生成AI技術が広く一般にも届くものとなりました。さらなる高度なAI技術への進化と展開が期待されていますが、そのためには現在の計算処理能力を大幅に超える能力が必要とされています。
- このように要求される処理能力は年々大きくなり、それにキャッチアップするために、技術トレンドとして、新しいプロセス技術、パッケージの大型化、高速化、複雑化などが見えています。結果として、右上の製品カテゴリ別平均トランジスタ数の動向にありますように、特にサーバー向けGPUでは、現在のトランジスタ数と比べて向こう5年で5倍になる可能性が報告されています。
- HPC/AIデバイスの量産試験における技術課題は多数ありますが、その中でも特に大きなチャレンジは、テスト・ボリューム、テスト時間に関するものと考えております。

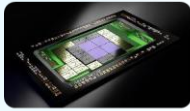
HPC/AIデバイスのテスト・ボリ्यूーム増の構造的な要因

性能保証の強化

テスト時間の長大化、テスト・パターン数の増加

テスト工程数の増加

プロセス（線幅） 加工技術の微細化



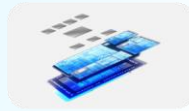
トランジスタ数の増加

新しいプロセス技術



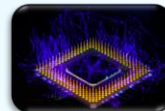
故障モデルの増加

デバイス構造の複雑性 複数ダイの実装



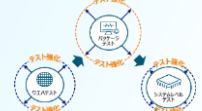
ウェハ・テスト：
ダイ特性確認
パッケージ・テスト：
実装ダイを全数検査

消費電力と 発熱の増大



過熱・焼損の防止
温度調整や、テスト
時間・工程の最適化

高品質担保



ダイ・レベル・テスト
複数温度条件
バーニン
システムレベルテスト

HPC/AI半導体の技術進化に即し、より高度な品質・性能保証手段の実現が求められる

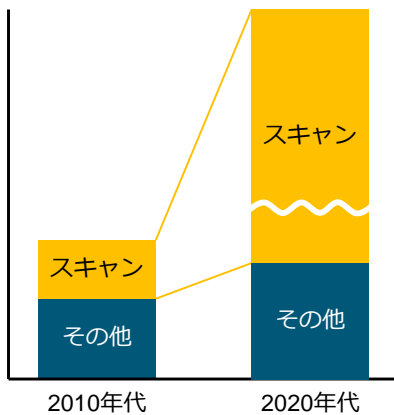
10 | ADVANTEST

All Rights Reserved - ADVANTEST CORPORATION

- HPC/AIデバイスの進化がもたらすテストの課題についてです。このスライドに代表的な5つの技術動向がもたらすテスト課題と工程への影響を示しました。これらはテスト時間長大化またはテスト工程数増加に分類できます。
- まずプロセス・ノードの微細化です。最先端のプロセス・ノードを採用する製品では集積トランジスタ数が激増するため、その品質保証には従来に比べ膨大なテスト・パターンが必要です。
- 次に新しいプロセス技術です。依然としてトランジスタ構造の進化が微細化を支えています。FinFET技術は一般化し、最近ではGate All Around (GAA)の適用も始まりました。さらにSub 2nmに向けてComplementary FET (CFET)という新たな構造も提唱されています。微細化とトランジスタ構造の革新により、従来に無い新しい故障モードの登場や、それを検出するためのさらなるテスト・パターンの追加が予想されます。
- 3つ目に複数ダイの実装です。歩留まり最大化のため、パッケージ前に各ダイの良否および個別の特性を調査します。場合により、似た性能や特性を持つダイを同一パッケージに封入する検討が行われます。そしてパッケージングした後、全てのダイが正常に機能するかを再確認する必要があります。
- トランジスタ数やダイの数の増加は、熱問題も引き起こします。半導体の量産時にはテストを高効率で実施するために、多くのトランジスタを単位時間あたりに同時に動作させる必要があります。結果として大電流がデバイスに流れ続け、発熱として現れます。 $P=RI^2$ で表されるように熱エネルギーは電流の2乗で変化しますので、過熱による焼損事故などを防ぐために、発熱とテスト時間のトレード・オフを考えながら最適化する必要があります。
- 最後に高品質担保です。データセンタ内では数万個を超えるデバイスがクラスターとして協調動作しており、フィールド内で一つでも不良や性能低下が発生すると全体のパフォーマンスに大きな損害を与えます。そのため、より高いテスト・カバレッジやストレス条件でテストされた、非常に高品質なデバイスを出荷することが要求されます。

テスト内容の変化とスキャン・テスト・ボリュームの増加

テスト・ボリューム変化のイメージ



・ 2010年代

- DCテスト
- SRAM、高速IFなどのBIST^[1] テスト
- ファンクショナル・テスト
- スキャン・テスト

[1] Built In Self Test (BIST) : テスト容易化のためにデバイス内に設計されたテスト専用回路

・ 2020年代

- 基本的なテスト項目はさほど変化せず
- 多ピン化でDCテストはわずかに増加
- デバイス高機能化によりBISTテストも増加

指数関数的なトランジスタ数の伸びを受け、スキャン・テスト・ボリュームが爆発的に増加

11

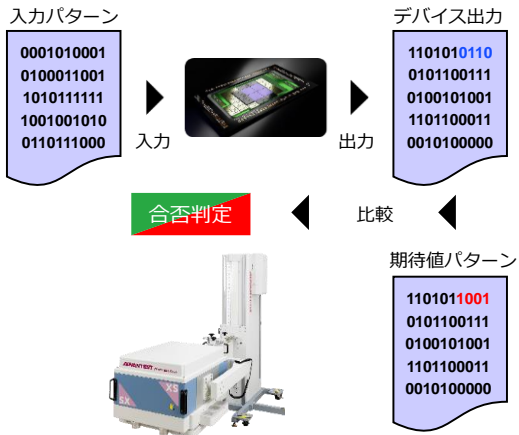
ADVANTEST

All Rights Reserved - ADVANTEST CORPORATION

- デバイスに集積されている何億ものトランジスタが正常に動作するかを効率的に検査するために、従来からSoCデバイスでは「スキャン・テスト」と呼ばれるテスト手法が用いられてきました。スキャン・テストの特徴については次のスライドでご説明させていただきます。
- その前に、ここではスキャン・テストのボリューム変化についてお話しします。左のチャートでイメージが表現されていますように、大規模デバイスのテストにおいて、2010年代と最近2020年代では特にボリューム、テスト時間に大きな変化が生まれました。特にスキャン・テストのボリューム増加がそれをけん引しています。
- 2010年代には、DCテスト、BISTテストなどに加え、さらにスキャン・テストも行われていましたが、スキャン・テストの割合はそこまで大きくはありませんでした。
- しかし、2020年代に入ると、著しくスキャン・テストの割合が増加し、それが続いています。デバイスの複雑化は、DCテストなどその他テスト項目も増加させていますが、その増加率はスキャン・テストほど大きなものではありません。
- EDA各社は単位時間当たりのトランジスタ検査率を向上するために、パターン圧縮技術などを開発してきました。現在もさらに効率を向上するための新しい取り組みが活発に行われていますが、それでも集積トランジスタ数の増加に追いついていないのが実情です。
- 指数関数的に増加するトランジスタを最も効率的にテスト可能な手段はスキャン・テストであり続いています。そしてそのボリュームが爆発的に増加しています。
- テスト時間増加を抑制するために、顧客、EDA各社、ATEベンダも様々な研究開発を行っています。スキャン回路をネットワーク構造にしたり、高速IFであるPCIeやUSBをスキャン入出力ピンとして使用するScan-over-HSIO技術など、スキャン・テストの効率を向上するソリューションがEDA各社から提唱され、当社も共同で技術開発を行っています。その結果によっては、スキャン・テストのボリュームの伸び率は、将来変わる可能性があります。

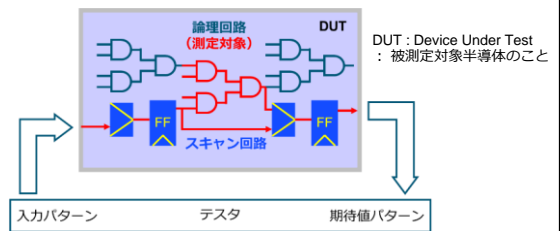
HPC/AIデバイスのテストと特徴

HPC/AIデバイスの基本的なテスト



スキャン・テスト

- テスト容易化設計（Design For Testability）の代表的項目
- 2000年代から現在まで、SoCデバイスの主力テスト項目
- デバイス中にスキャン回路を実装し、測定部位の状態を任意に設定
- 故障モデルおよび場所を想定してテスト・パターンを生成
- 高効率で、高い検査カバレッジ（95~99.5%）

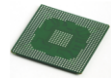


トランジスタ数の増加に起因する“テスト・パターン”の長大化 = テスト時間の長大化

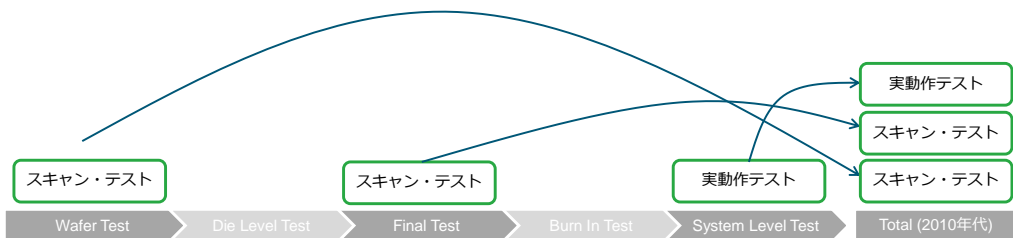
- さて、ここではHPC/AIデバイスのテストの特徴ということで、SoCテストがどのようなテスト動作でデバイスを測定しているのかを、ご紹介いたします。
- スライド左側に基本的なテスト手法の概要を示しています。デバイスに対して信号を入力し、デバイスの中で様々な処理が行われた後に出力されてくる信号を、テストが受信します。それを事前に決められた期待値パターンと比較して想定通りの動作であったかどうかを合否判定する、という流れです。
- 一般に、テストで使用される入力パターンと期待値パターンは、デバイスの仕様およびテスト仕様で決められた動作に基づいて半導体設計時に用いられるEDAツールから自動で生成されます。
- また、先ほどから触れているスキャン・テストとはどのようなものかを、右側に示しています。スキャン・テストは、テスト容易化設計というコンセプトに沿って登場した、半導体テストの代表的項目です。1990年頃に初めて提唱され、進化を続けながら現在ではSoCデバイスの主力テスト項目となっています。
- デバイス回路の中に「スキャン回路」と呼ばれるテスト用回路を挿入することで、特定の被測定部位の状態を任意に観測できることが大きな特徴です。この仕組みを利用して、故障モデルやターゲットとするトランジスタの部位を想定したテスト・パターンをEDAツールが生成します。
- その際、仮にトランジスタ数が2倍になったとしても、もしスキャン・パターンの実行効率も2倍になれば以前と同じテスト時間を維持できる計算になります。
- しかしながら、現状ではパターン生成アルゴリズムの効率が頭打ちになっていたり、スキャン回路の並列化に限界があったりと、トランジスタ数の増加に起因する“テスト・パターン”の長大化が止まりません。これがテスト時間の長大化をもたらしている主要な要因となっています。

2010年代のテスト: デバイスの不良選別

- ✓ 前工程：単一のダイをテスト、後工程：パッケージングされた単一ダイをテスト
- ✓ テスト・ボリューム：前工程（ウェハ・テスト）≒ 後工程（パッケージ・テスト）
- ✓ 前工程と後工程でそれぞれ最適なテスト項目を実施
- ✓ 品種により、システムレベルテストを実施



Note: 下図の各Boxの高さは各々のテスト時間の長さを表すものではありません。



13

ADVANTEST

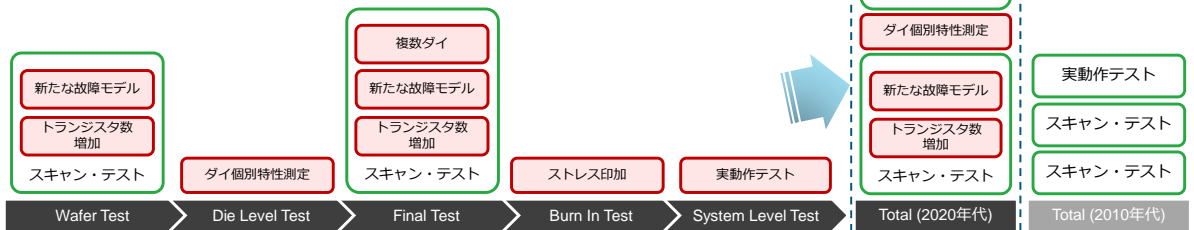
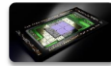
All Rights Reserved - ADVANTEST CORPORATION

- 2010年代と比べて2020年代では大幅にテスト・ボリュームが増加しているということをお話ししました。このスライドと次のスライドでは、何が変化したのかをもう少し深掘していこうと思います。
- 2010年代のテストをご紹介します。スライドタイトルに「デバイスの不良選別」とありますが、これはテストの最大の目的であり、今現在も変わっていません。しかし、現在と比べればシンプルなものでした。
- スライド下部の図は、代表的なテスト工程と主なテスト項目を表現しています。ウェハ・テスト、いわゆる前工程テストで、まずスキャン・テストが実施されます。その後、パッケージ化された後のデバイスに対して、ファイナル・テストが実施され、ここでもほぼ同内容のスキャン・テストが行われます。
- 実際は、前工程と後工程の各工程で実施すべきテスト項目は異なりますが、最適なテスト項目を選別して実施する結果、テスト・ボリュームとして大きな差は生まれませんでした。
- また、品種によってはシステムレベルテストを実施し、よりテスト品質を高めていました。
- テスト工程のトータル・テスト・ボリュームをわかりやすく表現するために、一番右に主なテスト項目を積み上げてみました。

2020年代のテスト: より複雑に、より長時間に

Note1: 下図の各Boxの高さは各々のテスト時間の長さを表すものではありません。
Note2: 赤枠の項目は2020年代において需要が高まる要因となっている項目

- ✓ トランジスタ数や、新たな故障モデルの増加により、スキャン・テストのボリューム増加
- ✓ 複数ダイが実装されるため、ダイの特性測定の工程追加や、後工程でのテスト項目の増加
- ✓ 複数の温度環境下でのテストや、バーン・イン、システムレベルテストなど、さらなる高品質担保のための取り組みを強化

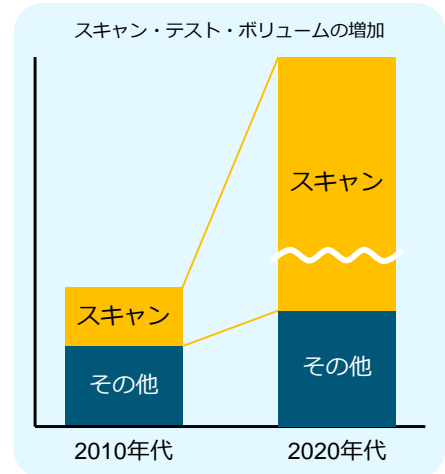
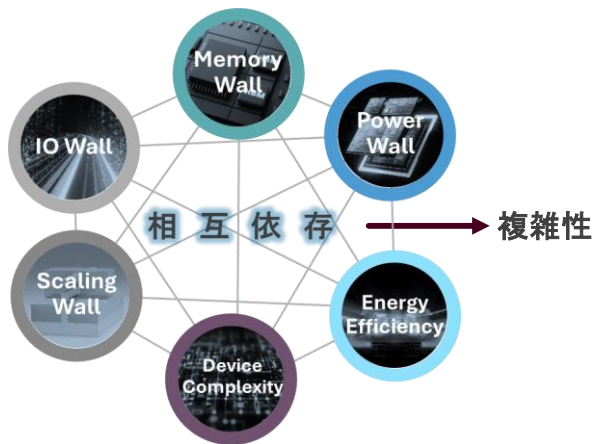


14 | ADVANTEST

All Rights Reserved - ADVANTEST CORPORATION

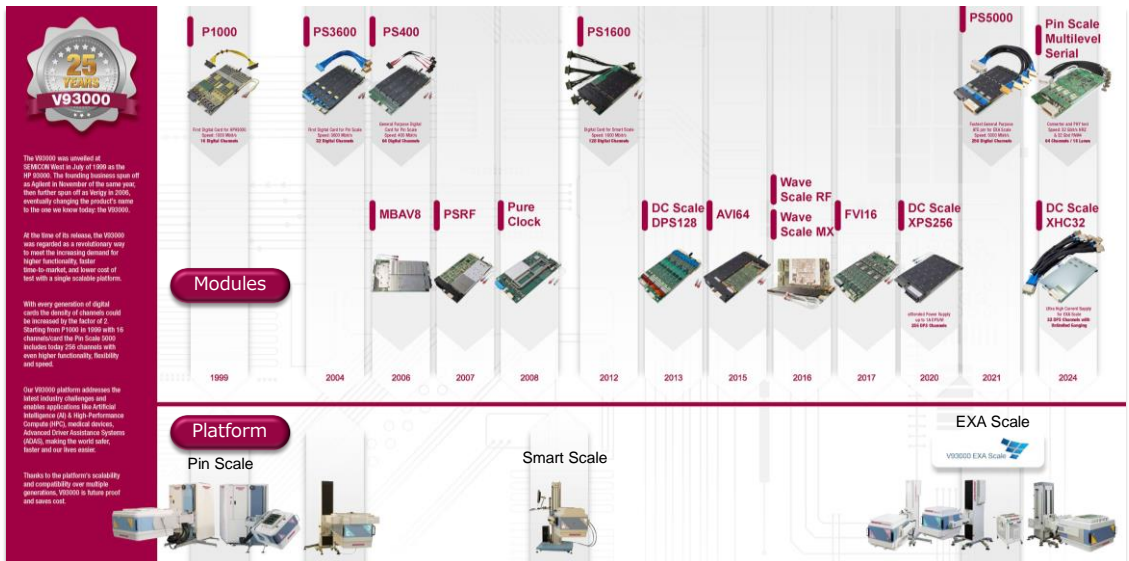
- それでは2020年代のテストはどうでしょうか？そのテスト内容は「より複雑に、より長時間に」なっています。
- まずウェハ・テストでは、新しいプロセスノードの適用と集積トランジスタ数増加に起因して、スキャン・テストのボリュームが大きくなりました。
- ファイナル・テストも傾向は同様ですが、パッケージに搭載される複数のダイをテストするために、よりスキャン・テストのボリュームが大きくなっています。
- さらに、ダイの個別特性をより正確に判定するために、ダイ・レベル・テストという追加工程も検討されています。従来も同様のテスト項目はウェハ・テストで行われてきましたが、発熱課題など複数の理由から、ダイシング後にダイ個片の形でテストする工程を追加する議論が活発に行われています。
- Burn In Testのように高い熱ストレスを加えたり、実動作テストを行うことは、従来から高信頼性が求められる車載デバイスなどでは実施されてきました。最近のHPC/AIデバイスでも同様の理由からストレス印加が行われるようになったり、実動作テストの実施がほぼ必須になってきています。
- 最後に、前のスライドと同様にテスト項目を積み上げて、2010年代と比較しています。各ボックスの高さがテスト・ボリュームを正しく表現しているわけではないことをご承知おください。それでも、2010年代に比べて大きくテスト・ボリュームが増えていることのイメージはご理解いただけるかと思います。

加速する「複雑性」にけん引されるテスト需要



- ここまで、HPC/AIデバイスのテスト・ボリューム増加の要因をブレイクダウンしながら、その理由を説明してまいりました。このスライドがまとめとなります。
- HPC/AIデバイスの性能向上は、多くの技術課題とテスト課題をもたらしています。それらは左の図のように複雑に連携、相互に依存しています。
- また、微細化、新しいプロセス技術、複数ダイの実装により、一つのパッケージ内に集積されるトランジスタ数は増加し続けています。膨大なトランジスタを効率よくテストするために、スキャン・テストがますます活用され、右の図にありますように、そのボリュームは大きく増加を続けています。
- AI技術のロードマップとして、人間のように幅広いタスクをこなせる汎用人工知能(AGI)の実現が向こう10年で目指されています。そのために、データ処理能力、通信速度、エネルギー効率など、HPC/AIデバイスはこれからも多くの進化を続け、いま以上のテスト課題が現れてくると予測します。
- 対して当社では、これまで同様に顧客が抱える最新の技術課題に耳を傾け、テスト技術を探求していきます。またそれを開発部門にフィードバックし、次世代のテスト・ソリューションを生み出していきます。

V93000 - The Scalable SoC Test Platform



16 | ADVANTEST All Rights Reserved - ADVANTEST CORPORATION <https://www.advantest.com/ja/news/2024/20240808.html>

- 最後に、当社のSoCテスト事業について触れさせていただきます。
- このスライドは当社の主力SoCテスト「V93000」の25年にわたる進化を示したものです。1999年、Personal Computerの時代に歩みを始めたV93000は、Pin ScaleというプラットフォームでPCやインターネット関連機器のテスト要求に応えました。次世代のSmart Scaleでは、モビリティ、スマートフォンにけん引されたSoC市場でプレゼンスを高めました。そして2020年、現在の最新プラットフォームであるEXA Scaleを発表し、今まさにHPC/AI時代を支えています。
- 現在当社はSoCテスト市場で60%近いシェアを有し、High Performance Computingの分野ではリーダーの位置にいると認識しております。No.1シェアを獲得している背景には3つのコア・コンピタンスがあります。
- 1つ目は「20年来のコミュニケーションで培われてきたHPC顧客との強固な関係」です。お客様の技術動向と要求をタイムリにキャッチしながら、その一歩先を行く速度・精度・密度、そして性能を提供し続けてきました。
- 2つ目は、スケーラビリティと互換性を兼ね備えたテスト・プラットフォーム戦略です。次世代デバイスへの移行時、顧客は必要な計測モジュールなどをアップグレードすることで、既存プラットフォームの価値を向上し、継続して活用することを可能としています。また、テスト・プログラムなどの現有資産をスムーズに新プラットフォームへ移行可能な互換性も有しております。
- 最後は、グローバル・エンジニア・サポート体制です。グローバルに分業化された半導体サプライチェーンに対し、当社エンジニアは、最適に配置されています。顧客が求める高水準のエンジニアリング・サポートを、グローバルに連携しながら提供しております。
- これらにより、当社は、顧客と相互に長期ロードマップを共有し、新世代のデバイス・テストに求められるテスト・ソリューションをタイムリーに開発/供給し続けるという好循環を維持しております。
- 我々は、当社SoCテスト事業のコア・コンピタンスを体現しながら、世界のリーダー顧客の半導体の進化を支援してきました。これからもますます複雑化に直面する顧客に寄り添い、テスト・ソリューションの拡充に取り組みたいです。



- 以上で、私からの説明を終わります。ありがとうございました。