



アドバンテスト IR技術説明会

HPC/AIデバイス・テストの特徴とニーズ

2024年11月28日

執行役員 営業本部 副本部長 システムソリューション統括部長 大澤 昭夫
93000 Product Unit Center of Expertise (COE) Functional Manager 飯野 隆之

ご注意

将来の事象に係る記述に関する注意

- 本プレゼンテーション資料およびアドバンテスト代表者が口頭にて提供する情報には、将来の事象についての、当社の現時点における期待、見積りおよび予測に基づく記述が含まれております。これらの将来の事象に係る記述は、当社における実際の財務状況や活動状況が、当該将来の事象に係る記述によって明示されているものまたは暗示されているものと重要な差異を生じるかもしれないという既知および未知のリスク、不確実性その他の要因が内包されており、当社としてその実現を約束する趣旨のものではありません。

本資料の利用について

- 本プレゼンテーション資料に記載されている情報は、各国の著作権法、特許法、商標法、意匠法等の知的財産権法その他の法律及び各種条約で保護されています。事前に当社の文書による承諾を得ない限り、法律によって明示的に認められる範囲を超えて、これらの情報を使用（改変、複製、転用等）することを禁止します。

アジェンダ

✓ SoCテストの事業環境

✓ HPC/AIデバイス・テストの特徴とニーズ

SoCテストの事業環境

The Devices We Test

HPC/AI Devices

High-performance computing chips that perform large-scale operations for data servers and AI

Application Processors

Enabling the smartphones we use today

Memory Semiconductors

Including DRAM and NAND flash devices that store and process data

CMOS Image Sensors

Convert camera images into digital data

Automotive Semiconductors

Controllers for engines, batteries, airbag sensors and collision avoidance systems

RF Devices

Wireless communications used in smartphones to enable 5G

Power Devices

Adjust voltage and convert DC to/from AC in cars, industrial equipment, and wind-solar power

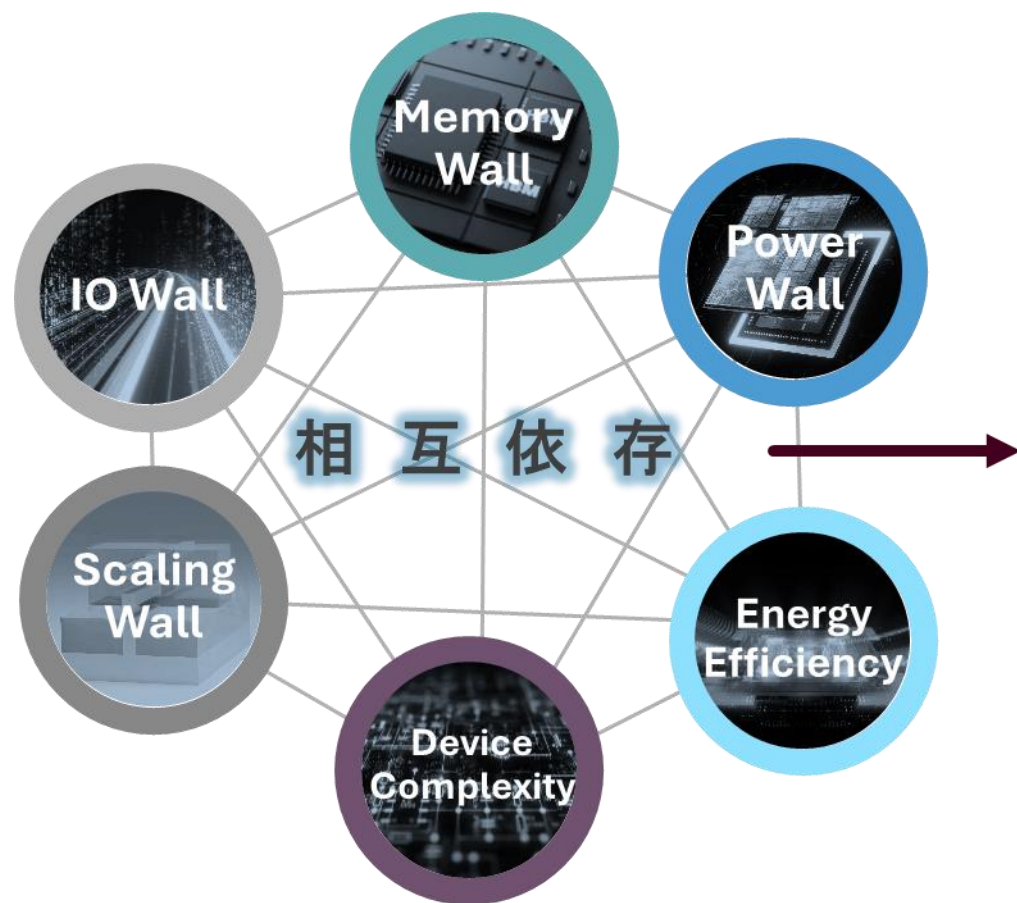
Display Driver ICs

Control the color and brightness of displays on products such as smartphones and televisions.

Tested by
ADVANTEST

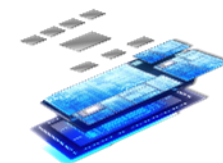


加速する「複雑性」

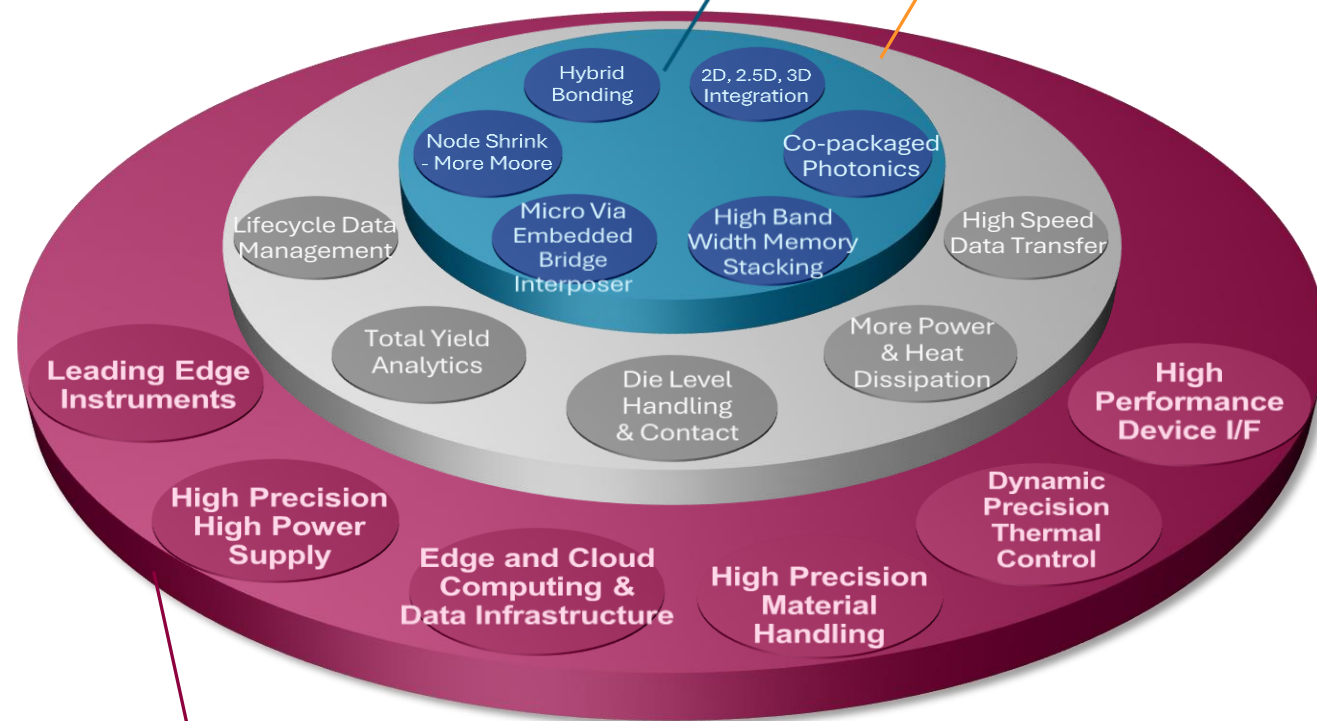


ますます増加する 半導体テストの複雑性

3D チップレット、
ヘテロジニアス・
インテグレーション



半導体テストの課題



当社の技術ポートフォリオ拡充を継続

加速する「複雑性」

- 半導体産業の抱える課題は、それぞれが複雑化かつ、相互に依存的で影響しあう

プロセス（線幅）と加工技術の微細化



- ▶ Shift to GAA, CFET
- ▶ Material innovation
- ▶ Lithography innovation
- ▶ **Chiplet, 3D/3.5D**
- ▶ New failure mechanism

消費電力の増大



- ▶ **Multi-core**, accompanied with Thermal Wall
- ▶ Efficient power delivery
- ▶ Thermal Management

メモリの複雑化



- ▶ In or Near memory computing
- ▶ **In package high-bandwidth memory** + low latency

より高速で高度なプロトコルによる通信



- ▶ New Network Architecture
- ▶ **Chiplets connection**
- ▶ Co-packaged Optics + copper

デバイス構造の複雑性



- ▶ System scaling up
- ▶ SW, FW, HW Architectures
- ▶ **Design for 3D, Advanced Packaging**
- ▶ **Test data explosion**
- ▶ Complex Supply Chain

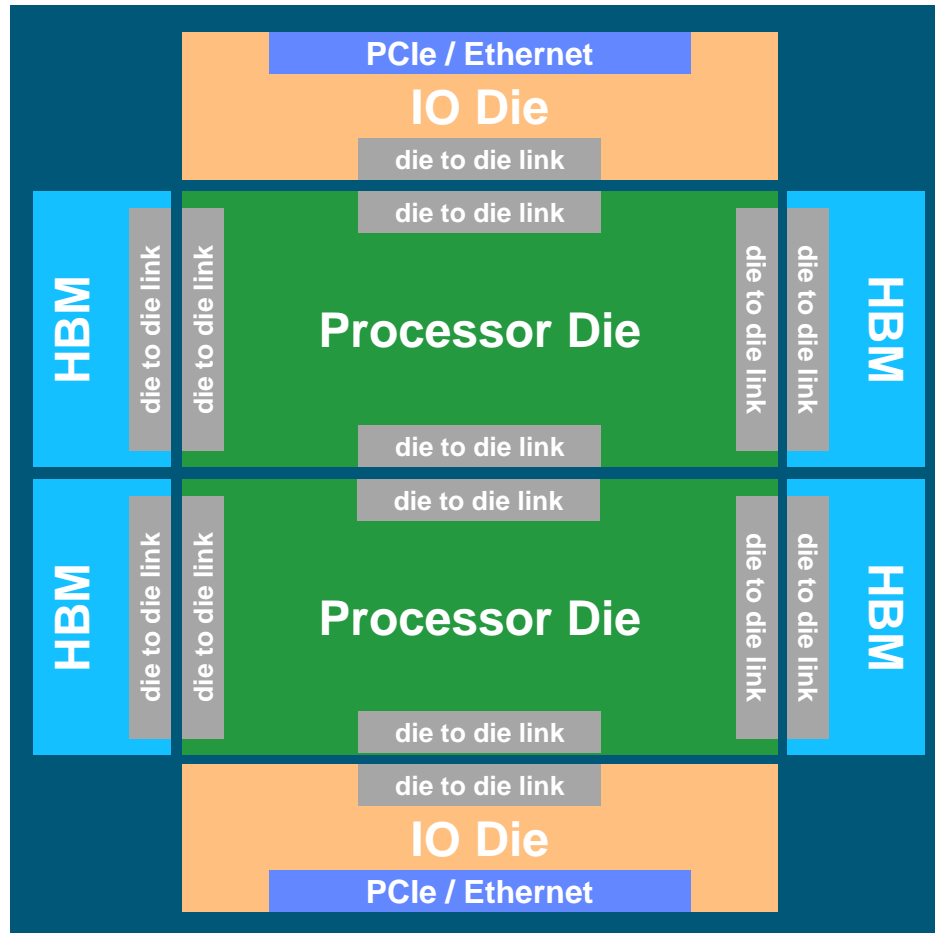
消費電力抑制の要請



- ▶ Data localization. Cache & memory hierarchy
- ▶ Optics die to die link
- ▶ **3D integration**
- ▶ Integrated IVR, PMIC

HPC/AIデバイス・テストの特徴とニーズ

HPC/AIデバイスの特徴と技術動向



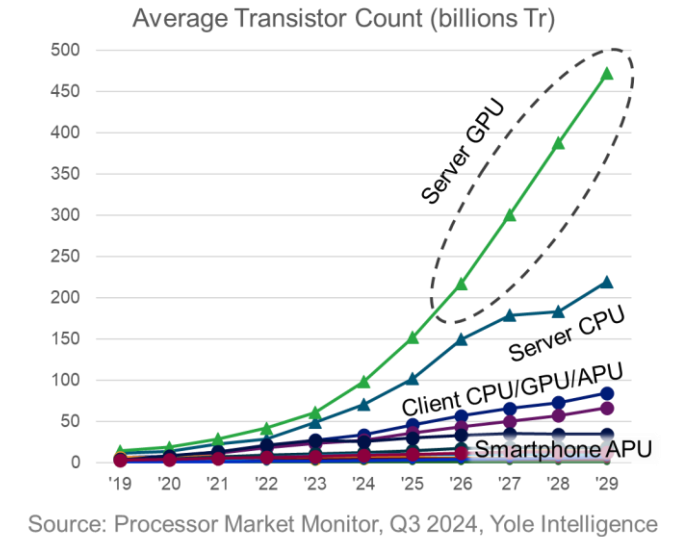
特徴

- チップレット・デザイン
- 複数のプロセッサ・ダイ
- 複数のIOダイ
- 複数のHBM

トレンド

- 微細化、新しいプロセス技術、3D実装、パッケージ大型化
- チップレット、複数ダイが標準に
- IOダイは、より高速化（PCIe5/6, 多値伝送）
- HBMは、より高速化、大容量化、多数個実装

Source: Advantest



大規模なダイが多数実装され、それらを効率的にテストしなければならない

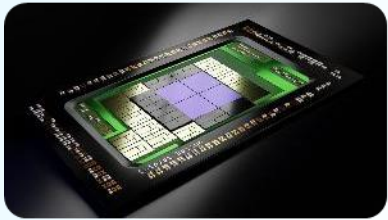
HPC/AIデバイスのテスト・ボリューム増の構造的な要因

性能保証の強化

テスト時間の長大化、テスト・パターン数の増加

テスト工程数の増加

プロセス（線幅）
加工技術の微細化



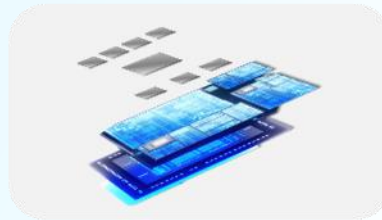
トランジスタ数の増加

新しいプロセス技術



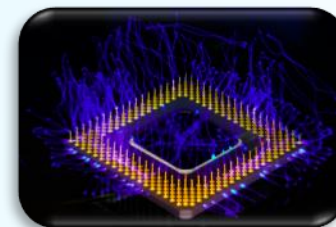
故障モデルの増加

デバイス構造の複雑性
複数ダイの実装



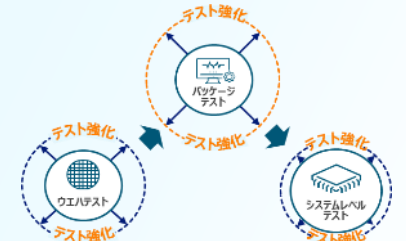
ウェハ・テスト：
ダイ特性確認
パッケージ・テスト：
実装ダイを全数検査

消費電力と
発熱の増大



過熱・焼損の防止
温度調整や、テスト
時間・工程の最適化

高品質担保

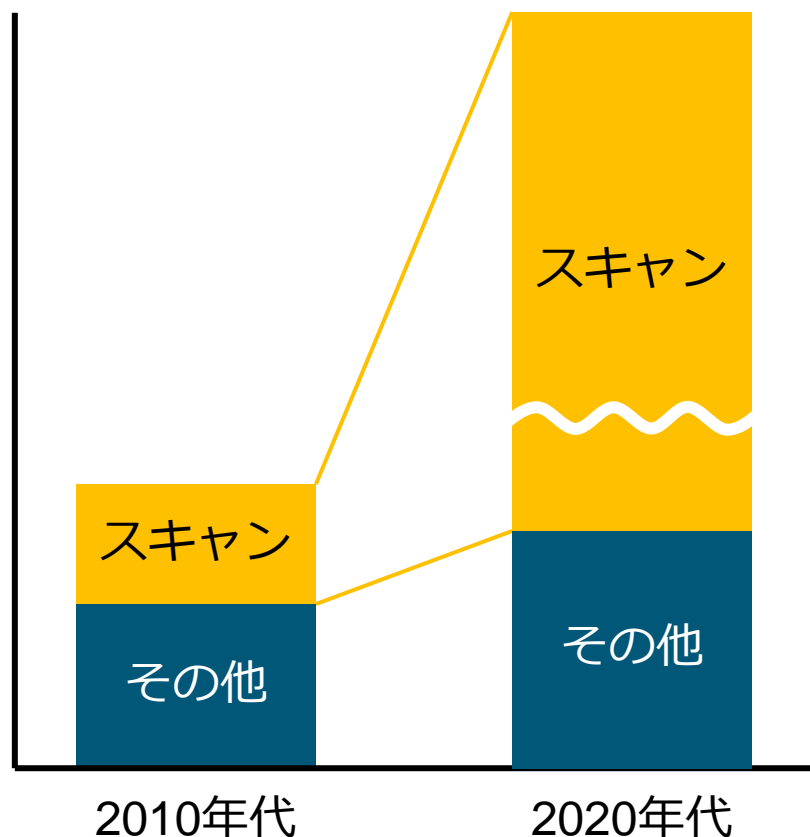


ダイ・レベル・テスト
複数温度条件
バーンイン
システムレベルテスト

HPC/AI半導体の技術進化に即し、より高度な品質・性能保証手段の実現が求められる

テスト内容の変化とスキャン・テスト・ボリュームの増加

テスト・ボリューム変化のイメージ



• 2010年代

- DCテスト
- SRAM、高速IFなどのBIST^[1] テスト
- ファンクショナル・テスト
- スキャン・テスト

[1] Built In Self Test (BIST) : テスト容易化のためにデバイス内に設計されたテスト専用回路

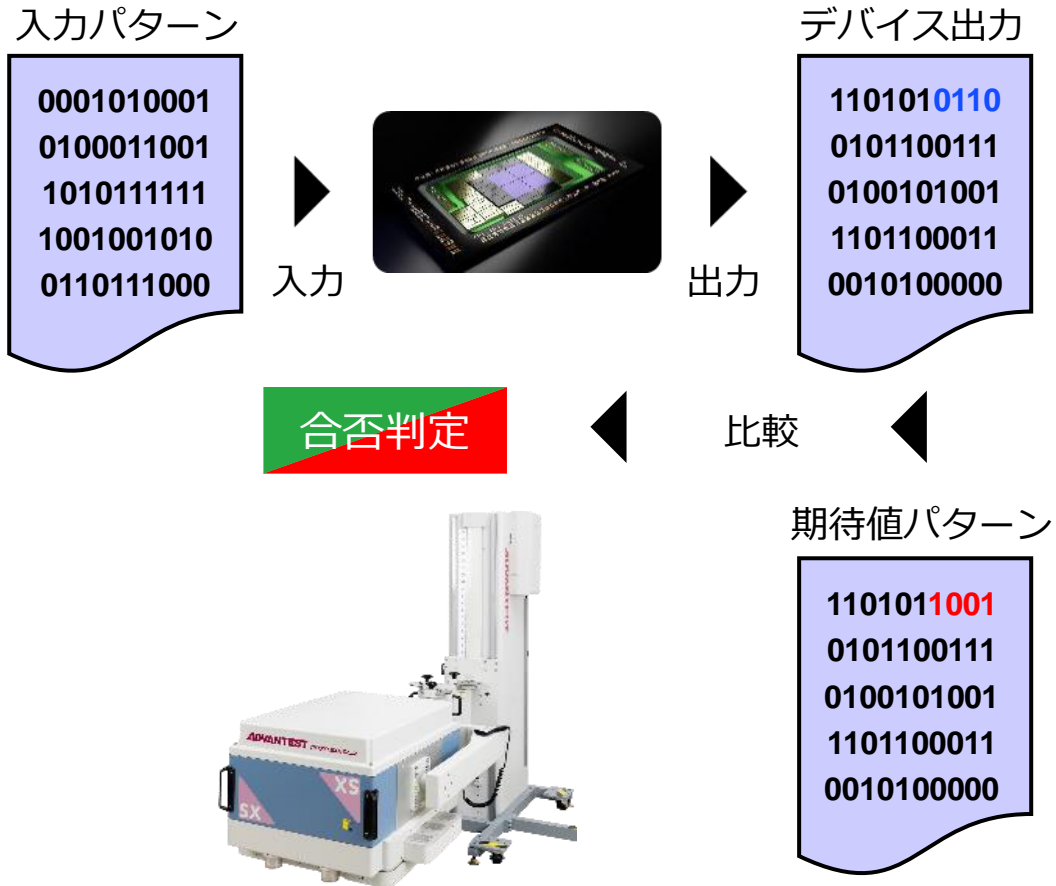
• 2020年代

- 基本的なテスト項目はさほど変化せず
- 多ピン化でDCテストはわずかに増加
- デバイス高機能化によりBISTテストも増加

指数関数的なトランジスタ数の伸びを受け、スキャン・テスト・ボリュームが爆発的に増加

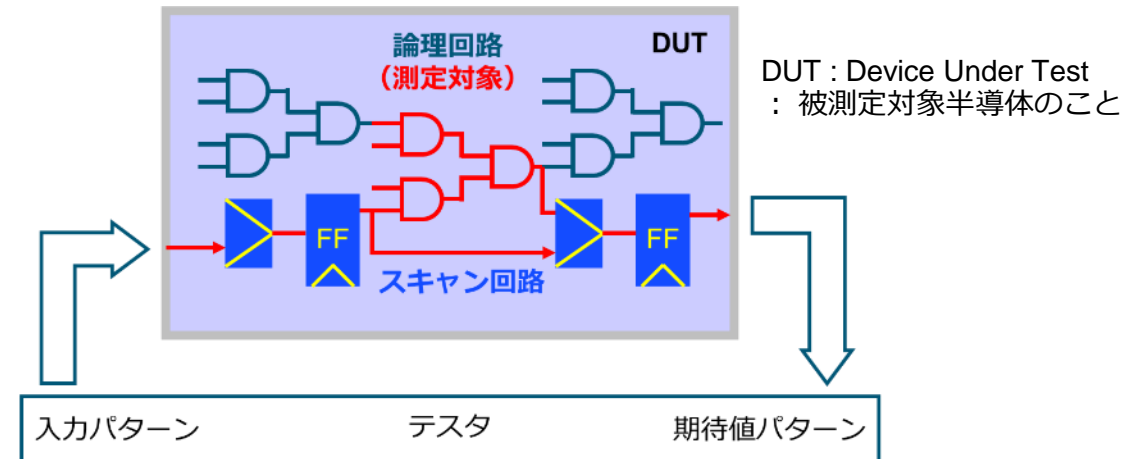
HPC/AIデバイスのテストと特徴

HPC/AIデバイスの基本的なテスト



スキャン・テスト

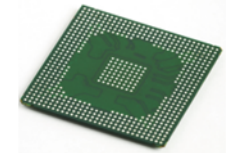
- テスト容易化設計（Design For Testability）の代表的項目
- 2000年代から現在まで、SoCデバイスの主力テスト項目
- デバイス中にスキャン回路を実装し、測定部位の状態を任意に設定
- 故障モデルおよび場所を想定してテスト・パターンを生成
- 高効率で、高い検査力バレッジ（95~99.5%）



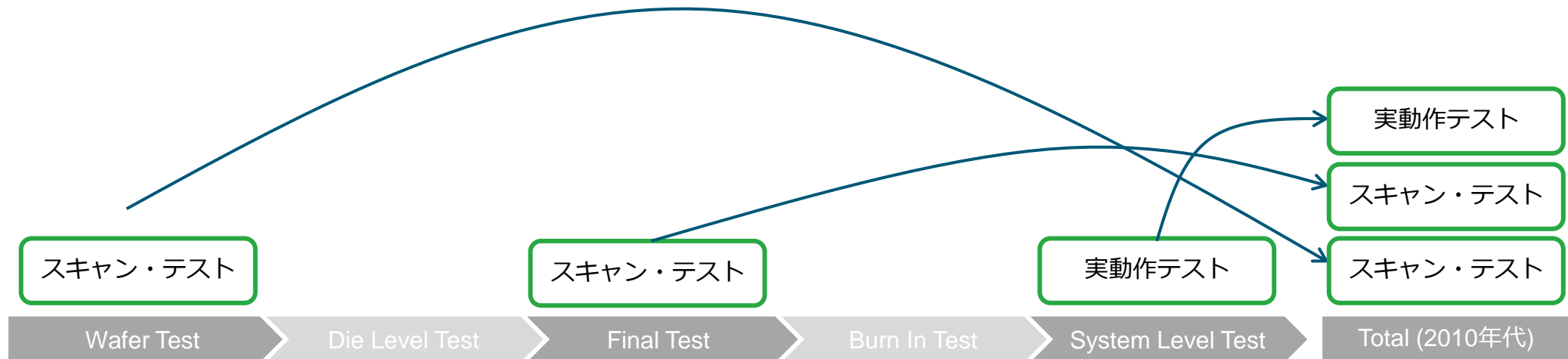
トランジスタ数の増加に起因する“テスト・パターン”の長大化 = テスト時間の長大化

2010年代のテスト: デバイスの不良選別

- ✓ 前工程：単一のダイをテスト、後工程：パッケージングされた単一ダイをテスト
- ✓ テスト・ボリューム：前工程（ウェハ・テスト）≡ 後工程（パッケージ・テスト）
- ✓ 前工程と後工程でそれぞれ最適なテスト項目を実施
- ✓ 品種により、システムレベルテストを実施



Note: 下図の各Boxの高さは各々のテスト時間の長さを表すものではありません。

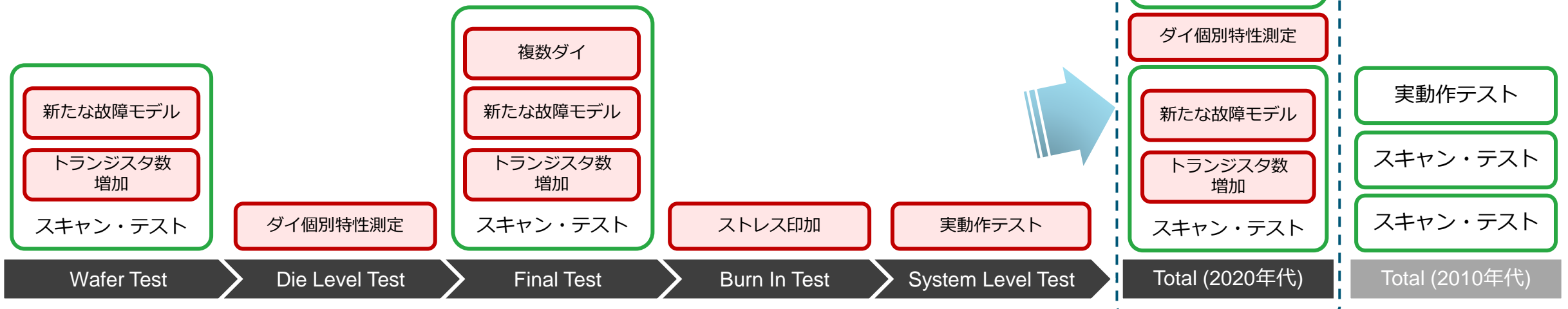
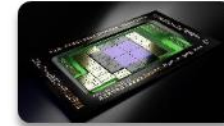


2020年代のテスト: より複雑に、より長時間に

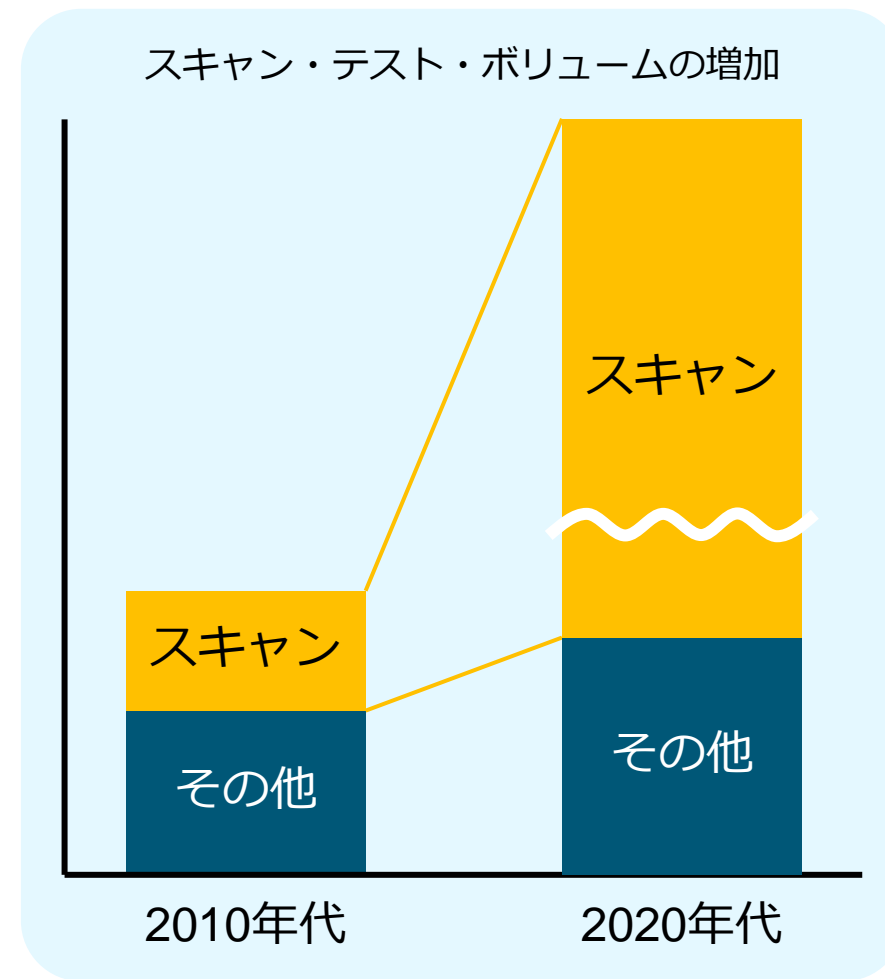
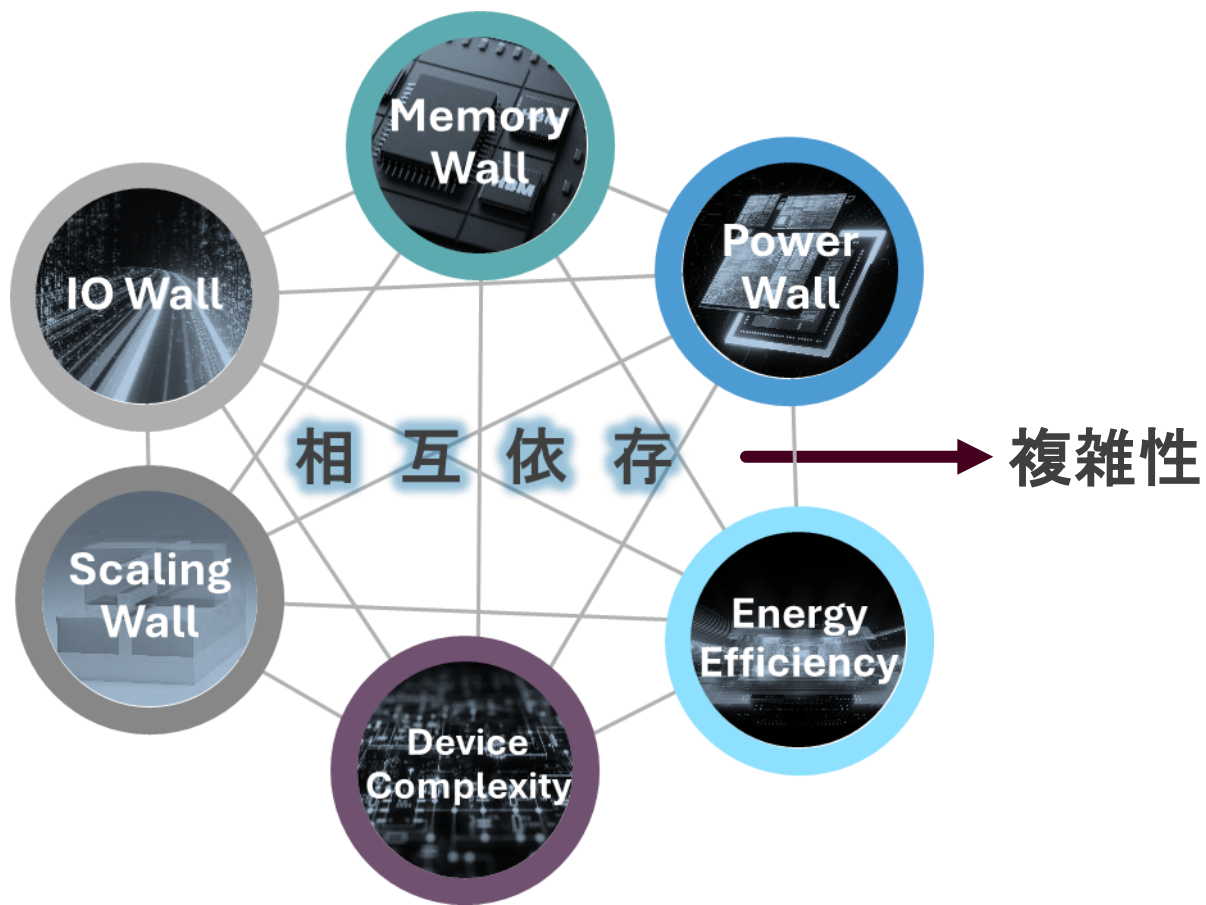
Note1: 下図の各Boxの高さは各々のテスト時間の長さを表すものではありません。

Note2: 赤枠の項目は2020年代において需要が高まる要因となっている項目

- ✓ トランジスタ数や、新たな故障モデルの増加により、スキャン・テストのボリューム増加
- ✓ 複数ダイが実装されるため、ダイの特性測定の工程追加や、後工程でのテスト項目の増加
- ✓ 複数の温度環境下でのテストや、バーン・イン、システムレベルテストなど、さらなる高品質担保のための取り組みを強化



加速する「複雑性」にけん引されるテスト需要



V93000 - The Scalable SoC Test Platform



The V93000 was unveiled at SEMICON West in July of 1999 as the HP 93000. The founding business spun off as Agilent in November of the same year, then further spun off as Verigy in 2006, eventually changing the product's name to the one we know today: the V93000.

At the time of its release, the V93000 was regarded as a revolutionary way to meet the increasing demand for higher functionality, faster time-to-market, and lower cost of test with a single scalable platform.

With every generation of digital cards the density of channels could be increased by the factor of 2. Starting from P1000 in 1999 with 16 channels/card the Pin Scale 5000 includes today 256 channels with even higher functionality, flexibility and speed.

Our V93000 platform addresses the latest industry challenges and enables applications like Artificial Intelligence (AI) & High-Performance Compute (HPC), medical devices, Advanced Driver Assistance Systems (ADAS), making the world safer, faster and our lives easier.

Thanks to the platform's scalability and compatibility over multiple generations, V93000 is future proof and saves cost.

P1000



First Digital Card for HP93000
Speed: 1000 Mbit/s
16 Digital Channels

PS3600



First Digital Card for Pin Scale
Speed: 3600 Mbit/s
32 Digital Channels

PS400



General Purpose Digital Card for Pin Scale
Speed: 400 Mbit/s
64 Digital Channels

PS1600



Digital Card for Smart Scale
Speed: 1600 Mbit/s
128 Digital Channels

MBAV8



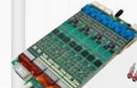
PSRF



Pure Clock



DC Scale
DPS128



AVI64



Wave Scale RF
Wave Scale MX



FVI16



DC Scale
XPS256



Extended Power Supply
up to 1A DPS/V
256 DPS Channels

PS5000



Fastest General Purpose ATE pin for EXA Scale
Speed: 5000 Mbit/s
256 Digital Channels

Pin Scale
Multilevel
Serial



Converter and PHY test
Speed: 32 Gbit/s NRZ
& 32 Gbit PAM4
64 Channels / 16 Lanes

DC Scale
XHC32



Ultra High Current Supply
for EXA Scale
32 DPS Channels with
Unlimited Gating

Modules

Platform

Pin Scale



Smart Scale



EXA Scale

V93000 EXA Scale





Facing the future together