

---

**ADVANTEST®**

株式会社アドバンテスト

---

**取扱説明書**

**TR4720-550**

6800用パーソナリティ・キット  
6802

MANUAL NUMBER 0987 A 912

---

当社の製品が外国為替および外国貿易管理法の規定により、戦略物資あるいは役務等に該当する場合、輸出する際には日本国政府の許可が必要です。

禁無断複製転載

© 1979 株式会社アドバンテスト

---



# 目 次

第1章 概 説		
1-1	概 要 .....	1-1
1-2	パーソナリティ・キットの構成 .....	1-2
1-3	性能諸元 .....	1-3
第2章 セット・アップ		
2-1	パーソナリティ・キットの交換方法 .....	2-1
2-1-1	パーソナリティ・ボードの交換 .....	2-1
2-1-2	パーソナリティ・パネルの交換 .....	2-2
2-1-3	CPU プローブの交換 .....	2-3
2-2	$\mu$ Pへの接続方法 .....	2-3
第3章 パーソナリティ・パネルの使用方法 .....		3-1
3-1	クォリファイア・スイッチの使用方法 .....	3-1
3-2	TRACE THEN HALT スイッチの使用方法 .....	3-3
3-3	CPU ステイタス LED の使用方法 .....	3-4
第4章 データの取込みおよび表示に関する情報 .....		4-1
4-1	データの取込みタイミング .....	4-2
4-2	取込まれたデータの表示に対するコメント .....	4-7
4-2-1	逆アセンブル・フォーマットについて .....	4-7
4-2-2	$\mu$ Pの特別な動作における表示について .....	4-7
第5章 動作チェック .....		5-1



# 第 1 章 概 説

## 1-1 概 要

TR-4720-550 は、TR-4720 ロジック・アナライザと組合わせて、6800/6802- $\mu$ P(マイクロプロセッサ)を使用した各種システムの総合的なデバッグを行なうことができます。このパーソナリティ・キットの特長は、以下の通りです。

1. 各種  $\mu$ P に対して専用のパーソナリティ・キットが用意されていますので、測定のセット・アップが容易で、データの取込みが迅速に行なえます。
2. 逆アセンブル機能によって  $\mu$ P 固有のニーモニックで表示できますので、得られたデータの解析が非常に容易となります。
3. データ・バス・クォリファイアにより本体のトリガ機能が、さらに強化されます。
4.  $\mu$ P の信号に疑似したテスト・パターン発生器を内蔵していますので、CPU プローブのテストから、本体の基本測定機能のテストまで行なえます。
5. データの取込みのためのハードウェアは高速になっていますので、将来の高速バージョン  $\mu$ P にも対応できます。

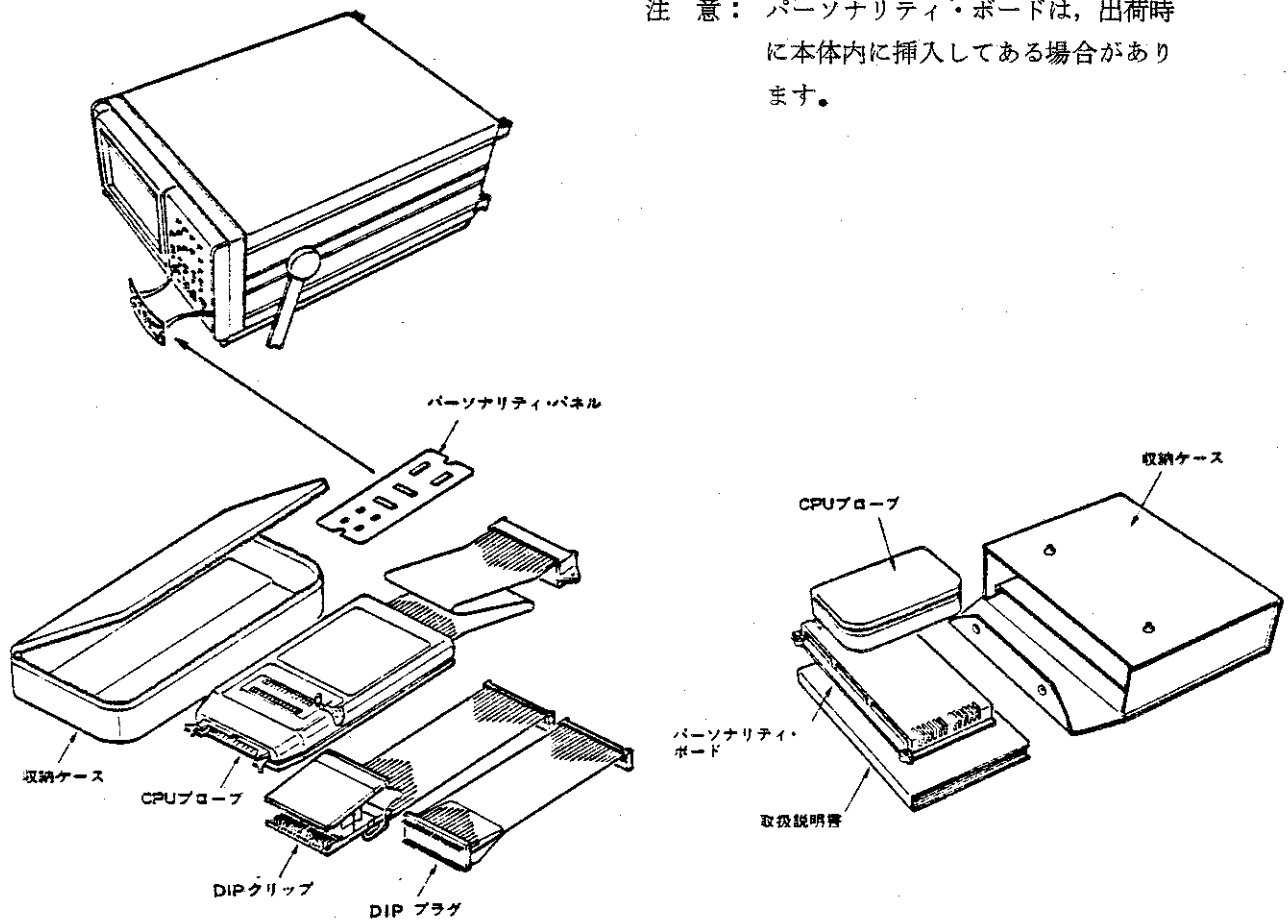
### NOTE

本取扱説明書は、対象となる  $\mu$ P の種類に依存する部分を中心に説明してあります。 $\mu$ P の種類に依存しない基本的な機能、操作方法などは TR-4720 本体取扱説明書をご覧ください。

1-2 パーソナリティ・キットの構成

パーソナリティ・ボード（本体内に挿入）	1
CPU プローブ（被測定システムと本体とを接続）	1
プローブ用コネクタ	
40ピンDIPクリップ・コネクタ	1
40ピンDIPプラグ・コネクタ	1
パーソナリティ・パネル（本体の正面パネルに装着）	1
CPU プローブ収納ケース	1
パーソナリティ・キット収納ケース	1
取扱説明書	1

注意： パーソナリティ・ボードは、出荷時に本体内に挿入してある場合があります。



1-3 性能諸元

適 合  $\mu$ P : MOTOROLA MC6800, MC68A00, MC68B00  
MC6802 および相当品

クロック周波数 : 被測定システムによる。max. 4MHz

入 力 電 流 :  $-200 \mu\text{A}$  max. (ロー・レベル)  
 $20 \mu\text{A}$  max. (ハイ・レベル)

クォリファイヤ : a OP または OFF  
b READ, WRITE または OFF  
( a と b は OR される )

CPUステータス表示 :

BA ;  $\mu$ PのBAがハイのとき点灯

TSC ;  $\mu$ PのTSCがハイのとき点灯 ( 6800 のみ )<sup>※</sup>

HALT ;  $\mu$ Pの $\overline{\text{HALT}}$ がローのとき点灯

HALT BY LA ; -TR-4720より $\mu$ PにHALT信号を出した  
ときに点灯

※ 6802ではTSCに相当する信号はなく常時点灯します。

TRACE THEN HALT :  $\mu$ Pをプローブに装着してトレース・モードのとき動作  
し、トレース終了後 $\mu$ Pの $\overline{\text{HALT}}$ ラインをローにする。





## 第2章 セット・アップ

### 2-1 パーソナリティ・キットの交換方法

既に装着されているパーソナリティ・キットと、測定対象となる $\mu$ Pが異なる場合には、対象となる $\mu$ P用のパーソナリティ・キットとの交換が必要です。交換が必要なのは、パーソナリティ・ボード、パーソナリティ・パネルとCPUプローブの3点です。以下の手順で交換して下さい。

#### 2-1-1 パーソナリティ・ボードの交換

1. **POWER** スイッチを**OFF**に設定します。
2. 本体上カバーの4本のネジ(3%, +)を外し、上カバーを取除きます。
3. 正面パネルから見て右端のボードがパーソナリティ・ボードです。パーソナリティ・ボード上面の3個のコネクタを外します。
4. パーソナリティ・ボード両側のボード・ハンドルを用いて、ボードを取外します。  
(図-1 参照)
5. 交換するパーソナリティ・ボード(写真1参照)の銘板が外側になるようにして、スロット両側のボード・ガイドに従って挿入して下さい。
6. パーソナリティ・ボード上面の3個のコネクタを取付けます。
7. 本体上カバーを4本のネジで取付けます。
8. **POWER** スイッチを**ON**に設定しますと、交換したパーソナリティ・ボードの対象 $\mu$ P名が、約30秒後にCRTディスプレイに表示されますので確認して下さい。(写真3参照)
9. 取外したパーソナリティ・ボードは、所定のパーソナリティ・キット収納ケースに入れて下さい。

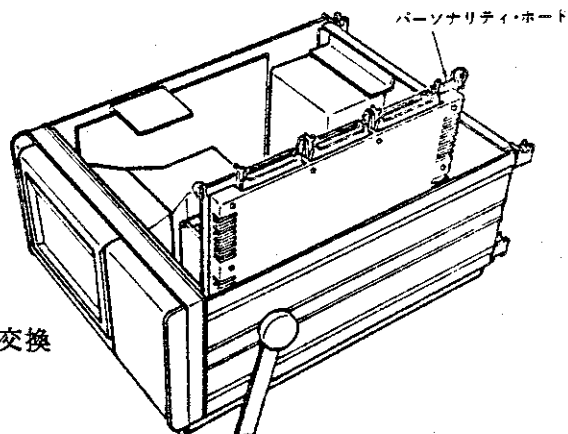


図-1 パーソナリティ・ボードの交換

## 2-1-2 パーソナリティ・パネルの交換

1. 正面パネル右下側に取付けられているパネルが、パーソナリティ・パネルです。  
まず **TRIGGER QUALIFIER** スイッチの設定を、**READ** と **MEM.** にします。  
次に CPU ステータス LED 側から、パーソナリティ・パネルをたわめると、パネルはプラスチックで作られていますので、取外すことができます。
2. 交換するパーソナリティ・パネルの切り欠き部分を飾りネジに挿入することで、取付けます。(図-3 参照) 取付けた後に、**TRIGGER QUALIFIER** スイッチを全て **OFF** に設定します。
3. 取外したパーソナリティ・パネルは所定の CPU プロブ収納ケースに入れて下さい。

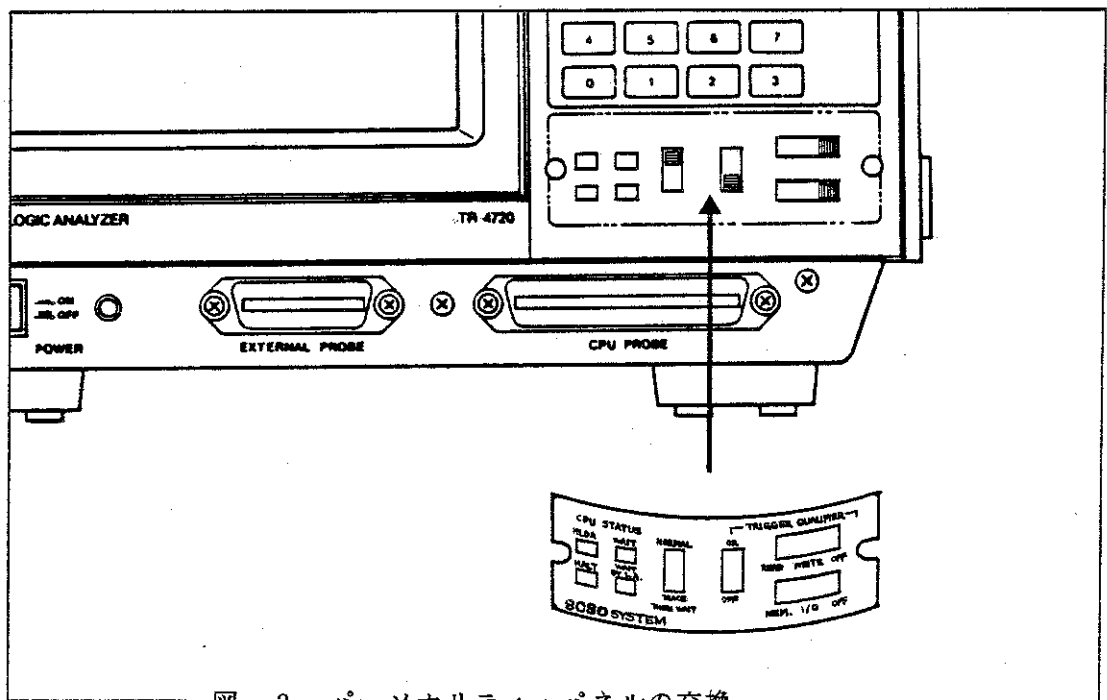


図-3 パーソナリティ・パネルの交換

## 2-1-3 CPU プロブの交換

1. 交換したパーソナリティ・ボードに対応した CPU プロブ (写真 2 参照) を正面パネル下面の CPU プロブ・コネクタへ取付けて下さい。
2. 取外した CPU プロブは所定の CPU プロブ収納ケースに入れて下さい。

## 2-2 $\mu$ Pへの接続方法

CPUプローブをSUT ( System Under Test ) の $\mu$ Pへ接続するために2種類のコネクタが用意されています。接続の様子を〔図-4 参照〕に示します。

- 1) 40ピンDIPクリップ・コネクタの場合……………SUTの $\mu$ Pチップをはさみ込んで使用します。この場合、本器から $\mu$ Pの一時的な動作停止 ( **TRACE THEN HALT** 機能 ) を指示することはできません。
- 2) 40ピンDIPプラグ・コネクタの場合……………SUTの $\mu$ Pがソケットを使用している場合に使用できます。まず、 $\mu$ Pをソケットから外し、「CPU PROBE」上のソケットに装着します。次にプラグ・コネクタを $\mu$ Pのソケットに挿入します。この場合**TRACE THEN HALT**機能 ( 3-2項参照 ) を使用できます。

いずれの場合でも、ピンの向きに注意して下さい。

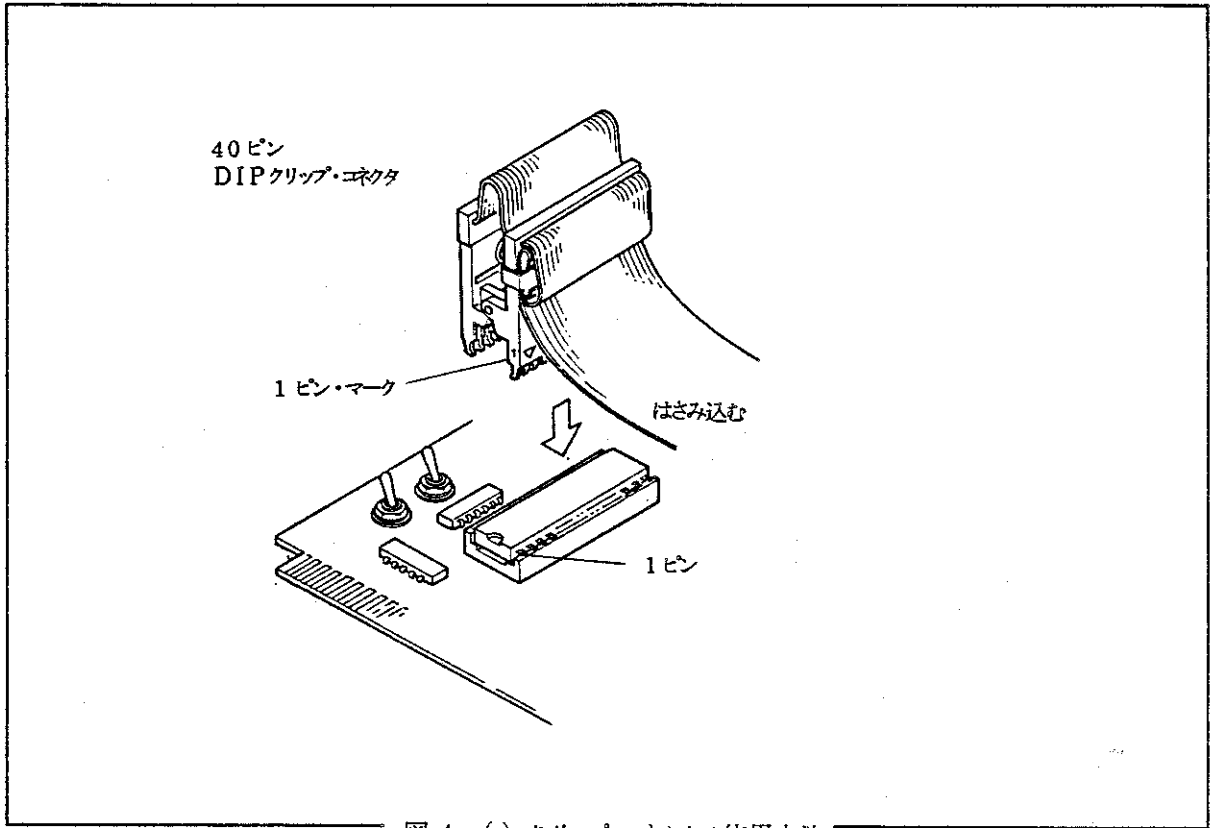


図 4- (a) クリップ・コネクタの使用法

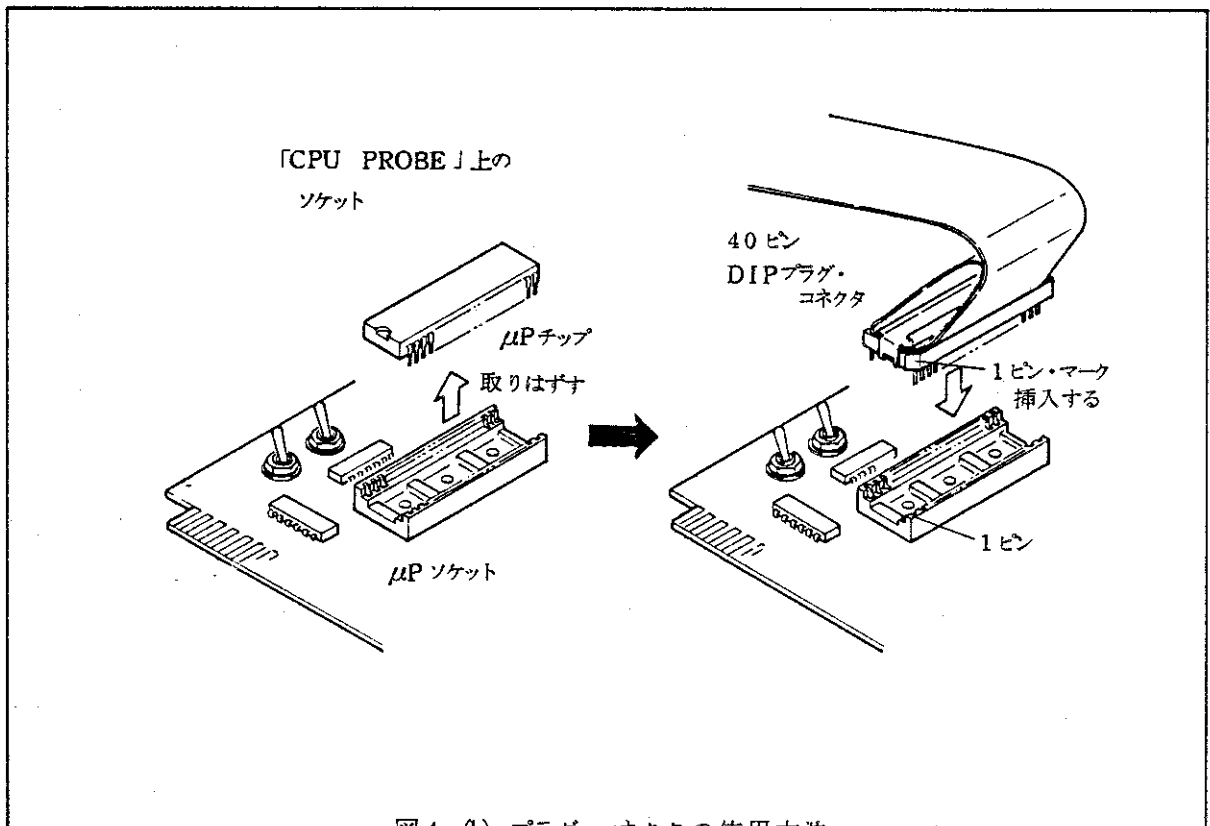


図 4- (b) プラグ・コネクタの使用法

### 第3章 パーソナリティ・パネルの使用法

パーソナリティ・パネルを〔図-5〕に示します。パネルは、**TRIGGER QUALIFIER** スイッチ ( $S_1, S_2, S_3$ )、**TRACE THEN HALT** スイッチ ( $S_4$ )、CPU ステータス LED 3つの部分に分けることができます。

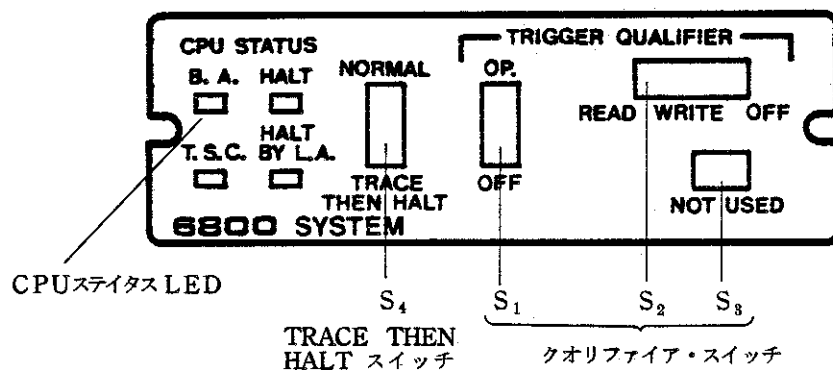


図5 パーソナリティ・パネル

#### 3-1 TRIGGER QUALIFIER スイッチの使用法

CPU プローブからは、アドレス・バス、データ・バス上の各データと共に、コントロール信号も取込まれますが、パーソナリティ・ボード内でこれらの信号をデコードして、データ・バス・データの種別を示すデータ・バス・フラグが作られ、バス・データと共に「データ・メモリ」へ送られます。6800/6802 の場合、データ・バス・フラグは2 ch.で以下の通りです。

- ・ フェッチ・サイクルのデータ（オペコード；**OP**）かどうか。
- ・ リード・データか、ライト・データか。

「ステート表示」の場合に、これらのフラグがパーソナリティ・ボード内のプログラムにより解釈され CRT ディスプレイに表示されます。「アブソリュート表示」の例を〔写真4〕に示します。データ・バス・データの右側に表示されているのが、データ・バス・フラグの外部表現で以下の3種類あります。

- 1) /**OP** : SUT の  $\mu P$  がオペコードであると解釈したデータです。

- 2) **／RD** : メモリ (RAM および ROM) から  $\mu$ P へリードされたデータです。
- 3) **／WR** : メモリ (RAM) へ  $\mu$ P からライトされたデータです。

データ・バス・データのこれらの違いを、トリガ機能として使うのがトリガ・クォリファイアです。S<sub>1</sub>、S<sub>2</sub>を全て **OFF** と設定すれば (S<sub>3</sub> は **OFF** に固定)、キーボードから設定したトリガ条件で測定が行なわれますが、2つのスイッチのうち1つでも **OFF** でなければクォリファイアが働きます。2つのスイッチの組合せで1) ~ 3) の種類を識別する機能をトリガ条件に加えることができます。S<sub>1</sub> と S<sub>2</sub> の設定は「**OR**」されるため、6800/6802 の場合、スイッチによる組合せは6通りとなります。組合せを [表1] に示します。「**TIME INTERVAL**」以外の全ての測定モードで有効ですが、特に「**TRACE TRIGS**」では便利です。

全く「トリガ条件」を設定しなくても、リード・データだけや、あるいはライト・データだけを取込むことも S<sub>1</sub> を **OFF**、S<sub>2</sub> を **READ** あるいは **WRITE** と設定するだけで行なえます。

クォリファイア機能	S <sub>1</sub>	S <sub>2</sub>
<b>／RD</b> を識別	<b>OFF</b>	<b>READ</b>
<b>／WR</b> を識別	<b>OFF</b>	<b>WRITE</b>
なし	<b>OFF</b>	<b>OFF</b>
<b>／OP + ／RD</b> を識別	<b>OP</b>	<b>READ</b>
<b>／OP + ／WR</b> を識別	<b>OP</b>	<b>WRITE</b>
<b>／OP</b> を識別	<b>OP</b>	<b>OFF</b>

S<sub>3</sub> は常に **OFF**

表1 トリガ・クォリファイア機能

### 3-2 TRACE THEN HALT スイッチの使用方法

本器の通常的使用方法では、SUTの $\mu P$ への介入は行ないませんが、プログラムの流れを切れ目なく調べたい場合にこのスイッチを使用します。このスイッチを使用すると、特定のトリガ・ポイントを基点として、1~256ステートの任意のステート数をトレースした後に、 $\mu P$ へ<sup>※</sup>HALTをかけることができます。この結果、任意のステート数毎にプログラムの動きを分割しながら調べることができます。この様子を[図-6]に示します。<sup>※</sup>6800/6802では $\overline{\text{HALT}}$ ラインがローになっても現在実行中の命令サイクルが終了するまでHALT状態とはなりませんので注意して下さい。

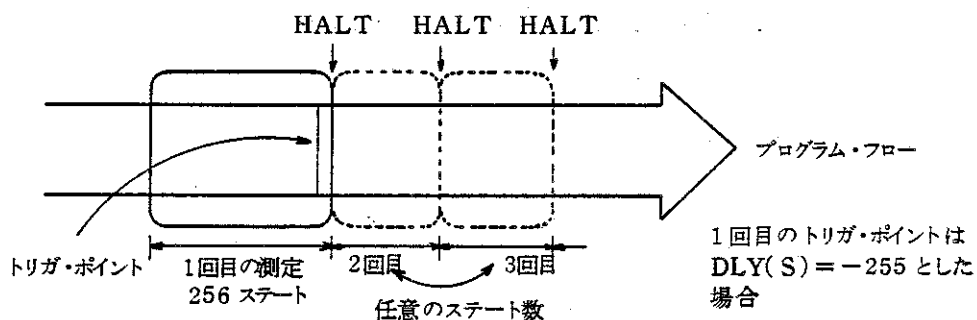


図-6 TRACE THEN HALT によるステート解析

以下の手順で使用して下さい。

1. 「TRACE THEN HALT」機能は40ピンDIPプラグ・コネクタを使用した場合にのみ使用できますので、SUTの $\mu P$ をソケットから外し、CPUプロンプのソケットに挿入します。SUTの $\mu P$ 用ソケットへはプラグ・コネクタで接続します。(2-2項参照)
2.  $S_4$ をTRACE THEN HALTに設定し、キーボードから「トレース条件」を設定します。「DLY(S)」の設定は任意ですが、-255と設定した場合には、測定実行においてトリガ発生直後に $\mu P$ へHALTがかけられます。
3. RUNキーを押しますと、測定実行が開始され、トリガ発生によって実行が終了しますとHALTがかけられます。本器によるHALTはCPUステータスLEDのHALT BY L.A.の点灯によって確認できます。
4. 次に継続して実行したい場合は、TRACEキーを押して「トレース条件設定状態」とし、DEFAULTキーにて「トレース条件」を全て「DONT CARE」にします。次に「DLY(S)」の設定を行いません。「DLY(S)」=0の場合、RUNキーを押すことで256ステートだけデータを取込みますと、HALTし

ますが、「**DLY(S)**」= $n$  ( $n=1\sim 255$ )と設定しますと、**RUN**キーを押すことで $256-n$  ステートだけデータを取込んで、**HALT** がかけられます。

$n=255$  だとシングル・ステート実行となります。

5. 「**TRACE THEN HALT**」機能を停止する時には、 $S_4$  を **NORMAL** に設定します。

### 3-3 CPU ステータス LED の使用方法

SUT の  $\mu P$  は DMA やマルチ  $\mu P$  などによって、プログラムの実行を中断している状態があります。この様な状態ではトレースによる観測はできませんので、 $\mu P$  がどんな状態にあるかを LED で表示しています。これが CPU ステータス LED で次の4種類があります。

- 1) **BA** :  $\mu P$  の BA ラインがハイの場合に点灯します。
- 2) **TSC** : 6800 の TSC ラインがハイの場合に点灯します。6802 では TSC に相当する信号はなく常時点灯します。
- 3) **HALT** :  $\mu P$  の  $\overline{\text{HALT}}$  ラインがローの場合に点灯します。
- 4) **HALT BY L.A.** : 本器から  $\mu P$  へ **HALT** をかけている場合に点灯します。



## 第4章 データの取込みおよび表示に関する情報

### 4-1 データの取込みタイミング

$\mu$ Pからの信号のうち、パーソナリティ・ボードにてサンプルされるのは以下のデータです。

- o アドレス・バス・データ 16 ch.
- o データ・バス・データ 8 ch.
- o データ・バス・フラグ 2 ch.

F1 = 1 (オペコード・フェッチ・サイクル<sup>※</sup>)

= 0 (上記以外)

F3 = 1 (R/W信号がハイ;リード・サイクル)

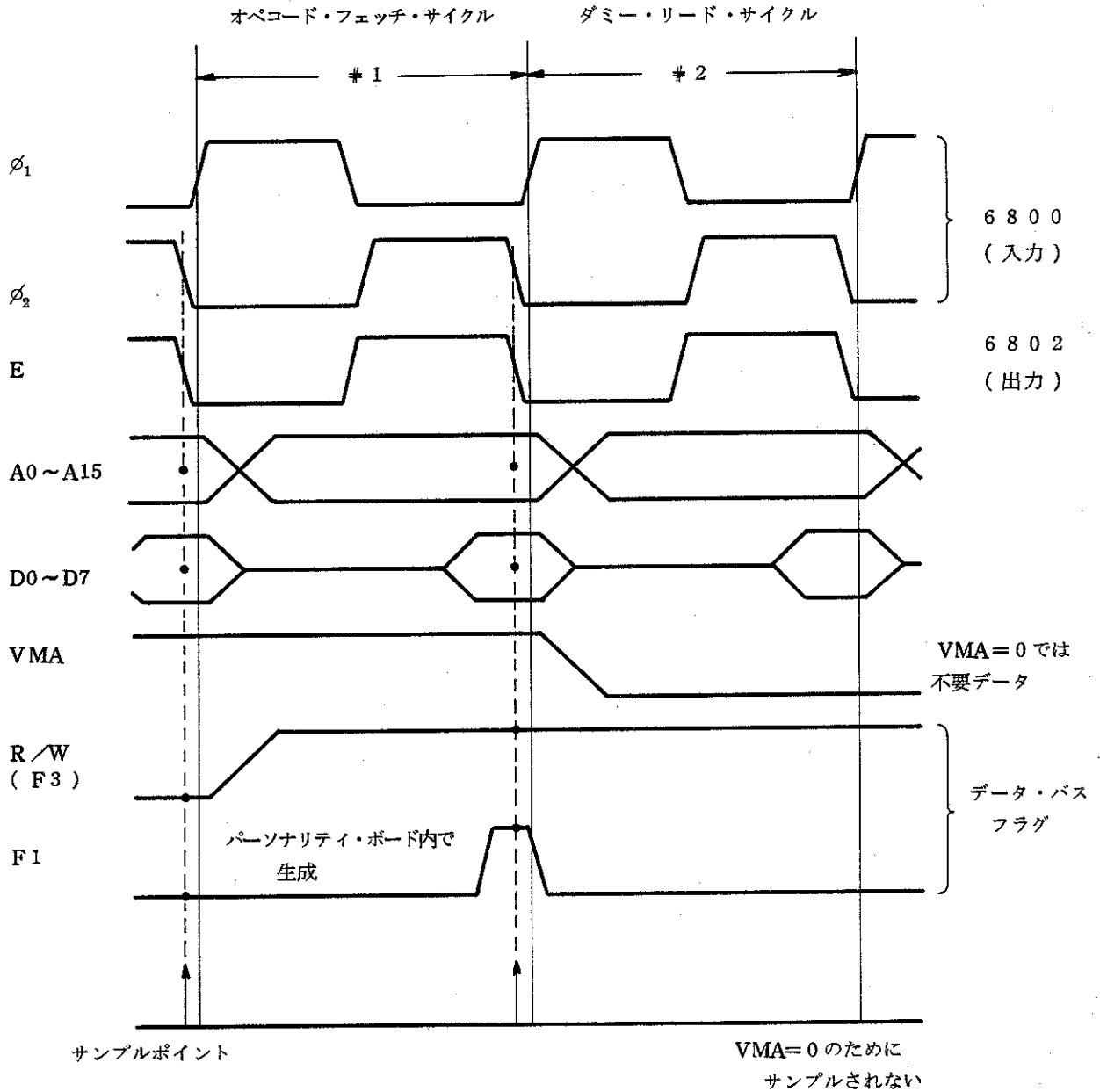
= 0 (R/W信号がロー;ライト・サイクル)

F2, F4は使用されません。

以上のデータは $\mu$ Pのコントロール信号から作られるサンプリング・クロックにてサンプルされますが、そのタイミングを〔図-7〕に示します。

※6800/6802のコントロール信号にはオペコード・フェッチ・サイクルを示す信号がありませんので、パーソナリティ・ボード内のデコード回路にて次の4つの条件のいずれかに適合するサイクルをフェッチ・サイクルとしています。

- ① ベクター・アドレスをアクセスした次のサイクル
- ② 少数の例外を除き、VMA = 1であるライト・サイクルの次のサイクル
- ③ 各命令固有のリード・サイクル数を終了後のサイクル
- ④ 無効なオペコードをフェッチした次のサイクル



例はライト・サイクル後のインプライド・アドレッシング・モードの命令です。  
 アドレス・バス・データ, データ・バス・データ, データ・バス・フラグは,  
 6800の場合は $\phi_2 \downarrow$ で, 6802の場合はE $\downarrow$ でサンプルされます。  
 サンプルされないサイクルは [表2] で<sup>※</sup>○印をつけたサイクルです。

※ モトローラ社発行「M6800 Microcomputer System Design Data」より引用

図7 パーソナリティ・ボード内でのデータ・サンプリング・タイミング

## SUMMARY OF CYCLE BY CYCLE OPERATION

Table 8 provides a detailed description of the information present on the Address Bus, Data Bus, Valid Memory Address line (VMA), and the Read/Write line (R/W) during each cycle for each instruction.

This information is useful in comparing actual with expected results during debug of both software and hard-

ware as the control program is executed. The information is categorized in groups according to Addressing Mode and Number of Cycles per instruction. (In general, instructions with the same Addressing Mode and Number of Cycles execute in the same manner; exceptions are indicated in the table.)

表 2 - OPERATION SUMMARY

Address Mode and Instructions	Cycles	Cycle #	VMA Line	Address Bus	R/W Line	Data Bus
<b>IMMEDIATE</b>						
ADC EOR ADD LDA AND ORA BIT SBC CMP SUB	2	1 2	1 1	Op Code Address Op Code Address + 1	1 1	Op Code Operand Data
CPX LDS LDX	3	1 2 3	1 1 1	Op Code Address Op Code Address + 1 Op Code Address + 2	1 1 1	Op Code Operand Data (High Order Byte) Operand Data (Low Order Byte)
<b>DIRECT</b>						
ADC EOR ADD LDA AND ORA BIT SBC CMP SUB	3	1 2 3	1 1 1	Op Code Address Op Code Address + 1 Address of Operand	1 1 1	Op Code Address of Operand Operand Data
CPX LDS LDX	4	1 2 3 4	1 1 1 1	Op Code Address Op Code Address + 1 Address of Operand Operand Address + 1	1 1 1 1	Op Code Address of Operand Operand Data (High Order Byte) Operand Data (Low Order Byte)
STA	4	1 2 ③ 4	1 1 0 1	Op Code Address Op Code Address + 1 Destination Address Destination Address	1 1 1 0	Op Code Destination Address Irrelevant Data (Note 1) Data from Accumulator
STS STX	5	1 2 ③ 4 5	1 1 0 1 1	Op Code Address Op Code Address + 1 Address of Operand Address of Operand Address of Operand + 1	1 1 1 0 0	Op Code Address of Operand Irrelevant Data (Note 1) Register Data (High Order Byte) Register Data (Low Order Byte)
<b>INDEXED</b>						
JMP	4	1 2 ③ ④	1 1 0 0	Op Code Address Op Code Address + 1 Index Register Index Register Plus Offset (w/o Carry)	1 1 1 1	Op Code Offset Irrelevant Data (Note 1) Irrelevant Data (Note 1)
ADC EOR ADD LDA AND ORA BIT SBC CMP SUB	5	1 2 ③ ④ 5	1 1 0 0 1	Op Code Address Op Code Address + 1 Index Register Index Register Plus Offset (w/o Carry) Index Register Plus Offset	1 1 1 1 1	Op Code Offset Irrelevant Data (Note 1) Irrelevant Data (Note 1) Operand Data
CPX LDS LDX	6	1 2 ③ ④ 5 6	1 1 0 0 1 1	Op Code Address Op Code Address + 1 Index Register Index Register Plus Offset (w/o Carry) Index Register Plus Offset Index Register Plus Offset + 1	1 1 1 1 1 1	Op Code Offset Irrelevant Data (Note 1) Irrelevant Data (Note 1) Operand Data (High Order Byte) Operand Data (Low Order Byte)

○印は、不要データですのでサンプルされません。



表 2 - OPERATION SUMMARY (Continued)

Address Mode and Instructions	Cycles	Cycle #	VMA Line	Address Bus	R/W Line	Data Bus
<b>INDEXED (Continued)</b>						
STA	6	1 2 ③ ④ ⑤ 6	1 1 0 0 0 1	Op Code Address Op Code Address + 1 Index Register Index Register Plus Offset (w/o Carry) Index Register Plus Offset Index Register Plus Offset	1 1 1 1 1 0	Op Code Offset Irrelevant Data (Note 1) Irrelevant Data (Note 1) Irrelevant Data (Note 1) Operand Data
ASL LSR ASR NEG CLR ROL COM ROR DEC TST INC	7	1 2 ③ ④ 5 ⑥ 7	1 1 0 0 1 0 1/0 (Note 3)	Op Code Address Op Code Address + 1 Index Register Index Register Plus Offset (w/o Carry) Index Register Plus Offset Index Register Plus Offset Index Register Plus Offset	1 1 1 1 1 1 0	Op Code Offset Irrelevant Data (Note 1) Irrelevant Data (Note 1) Current Operand Data Irrelevant Data (Note 1) New Operand Data (Note 3)
STS STX	7	1 2 ③ ④ ⑤ 6 7	1 1 0 0 0 1 1	Op Code Address Op Code Address + 1 Index Register Index Register Plus Offset (w/o Carry) Index Register Plus Offset Index Register Plus Offset Index Register Plus Offset + 1	1 1 1 1 1 0 0	Op Code Offset Irrelevant Data (Note 1) Irrelevant Data (Note 1) Irrelevant Data (Note 1) Operand Data (High Order Byte) Operand Data (Low Order Byte)
JSR	8	1 2 ③ 4 5 ⑥ ⑦ ⑧	1 1 0 1 1 0 0 0	Op Code Address Op Code Address + 1 Index Register Stack Pointer Stack Pointer - 1 Stack Pointer - 2 Index Register Index Register Plus Offset (w/o Carry)	1 1 1 0 0 1 1 1	Op Code Offset Irrelevant Data (Note 1) Return Address (Low Order Byte) Return Address (High Order Byte) Irrelevant Data (Note 1) Irrelevant Data (Note 1) Irrelevant Data (Note 1)
<b>EXTENDED</b>						
JMP	3	1 2 3	1 1 1	Op Code Address Op Code Address + 1 Op Code Address + 2	1 1 1	Op Code Jump Address (High Order Byte) Jump Address (Low Order Byte)
ADC EOR ADD LDA AND ORA BIT SBC CMP SUB	4	1 2 3 4	1 1 1 1	Op Code Address Op Code Address + 1 Op Code Address + 2 Address of Operand	1 1 1 1	Op Code Address of Operand (High Order Byte) Address of Operand (Low Order Byte) Operand Data
CPX LDS LDX	5	1 2 3 4 5	1 1 1 1 1	Op Code Address Op Code Address + 1 Op Code Address + 2 Address of Operand Address of Operand + 1	1 1 1 1 1	Op Code Address of Operand (High Order Byte) Address of Operand (Low Order Byte) Operand Data (High Order Byte) Operand Data (Low Order Byte)
STA A STA B	5	1 2 3 ④ 5	1 1 1 0 1	Op Code Address Op Code Address + 1 Op Code Address + 2 Operand Destination Address Operand Destination Address	1 1 1 1 0	Op Code Destination Address (High Order Byte) Destination Address (Low Order Byte) Irrelevant Data (Note 1) Data from Accumulator
ASL LSR ASR NEG CLR ROL COM ROR DEC TST INC	6	1 2 3 4 ⑤ 6	1 1 1 1 0 1/0 (Note 3)	Op Code Address Op Code Address + 1 Op Code Address + 2 Address of Operand Address of Operand Address of Operand	1 1 1 1 1 0	Op Code Address of Operand (High Order Byte) Address of Operand (Low Order Byte) Current Operand Data Irrelevant Data (Note 1) New Operand Data (Note 3)

表 2 - OPERATION SUMMARY (Continued)

Address Mode and Instructions	Cycles	Cycle #	VMA Line	Address Bus	R/W Line	Data Bus
<b>EXTENDED (Continued)</b>						
STS STX	6	1	1	Op Code Address	1	Op Code
		2	1	Op Code Address + 1	1	Address of Operand (High Order Byte)
		3	1	Op Code Address + 2	1	Address of Operand (Low Order Byte)
		④	0	Address of Operand	1	Irrelevant Data (Note 1)
		5	1	Address of Operand	0	Operand Data (High Order Byte)
		6	1	Address of Operand + 1	0	Operand Data (Low Order Byte)
JSR	9	1	1	Op Code Address	1	Op Code
		2	1	Op Code Address + 1	1	Address of Subroutine (High Order Byte)
		3	1	Op Code Address + 2	1	Address of Subroutine (Low Order Byte)
		④	1	Subroutine Starting Address	1	Op Code of Next Instruction
		5	1	Stack Pointer	0	Return Address (Low Order Byte)
		6	1	Stack Pointer - 1	0	Return Address (High Order Byte)
		⑦	0	Stack Pointer - 2	1	Irrelevant Data (Note 1)
		⑧	0	Op Code Address + 2	1	Irrelevant Data (Note 1)
		⑨	1	Op Code Address + 2	1	Address of Subroutine (Low Order Byte)
<b>INHERENT</b>						
ABA DAA SEC ASL DEC SEI ASR INC SEV CBA LSR TAB CLC NEG TAP CLI NOP TBA CLR ROL TPA CLV ROR TST COM SBA	2	1 ②	1 1	Op Code Address Op Code Address + 1	1 1	Op Code Op Code of Next Instruction
DES DEX INS INX	4	1 ② ③ ④	1 1 0 0	Op Code Address Op Code Address + 1 Previous Register Contents New Register Contents	1 1 1 1	Op Code Op Code of Next Instruction Irrelevant Data (Note 1) Irrelevant Data (Note 1)
PSH	4	1 ② 3 ④	1 1 1 0	Op Code Address Op Code Address + 1 Stack Pointer Stack Pointer - 1	1 1 0 1	Op Code Op Code of Next Instruction Accumulator Data Accumulator Data
PUL	4	1 ② ③ 4	1 1 0 1	Op Code Address Op Code Address + 1 Stack Pointer Stack Pointer + 1	1 1 1 1	Op Code Op Code of Next Instruction Irrelevant Data (Note 1) Operand Data from Stack
TSX	4	1 ② ③ ④	1 1 0 0	Op Code Address Op Code Address + 1 Stack Pointer New Index Register	1 1 1 1	Op Code Op Code of Next Instruction Irrelevant Data (Note 1) Irrelevant Data (Note 1)
TXS	4	1 ② ③ ④	1 1 0 0	Op Code Address Op Code Address + 1 Index Register New Stack Pointer	1 1 1 1	Op Code Op Code of Next Instruction Irrelevant Data Irrelevant Data
RTS	5	1 ② ③ 4 5	1 1 0 1 1	Op Code Address Op Code Address + 1 Stack Pointer Stack Pointer + 1 Stack Pointer + 2	1 1 1 1 1	Op Code Irrelevant Data (Note 2) Irrelevant Data (Note 1) Address of Next Instruction (High Order Byte) Address of Next Instruction (Low Order Byte)



表 2 - OPERATION SUMMARY (Continued)

Address Mode and Instructions	Cycles	Cycle #	VMA Line	Address Bus	R/W Line	Data Bus
<b>INHERENT (Continued)</b>						
WAI	9	1	1	Op Code Address	1	Op Code
		②	1	Op Code Address + 1	1	Op Code of Next Instruction
		3	1	Stack Pointer	0	Return Address (Low Order Byte)
		4	1	Stack Pointer - 1	0	Return Address (High Order Byte)
		5	1	Stack Pointer - 2	0	Index Register (Low Order Byte)
		6	1	Stack Pointer - 3	0	Index Register (High Order Byte)
		7	1	Stack Pointer - 4	0	Contents of Accumulator A
		8	1	Stack Pointer - 5	0	Contents of Accumulator B
		9	1	Stack Pointer - 6 (Note 4)	0	Contents of Cond. Code Register
RTI	10	1	1	Op Code Address	1	Op Code
		②	1	Op Code Address + 1	1	Irrelevant Data (Note 2)
		③	0	Stack Pointer	1	Irrelevant Data (Note 1)
		4	1	Stack Pointer + 1	1	Contents of Cond. Code Register from Stack
		5	1	Stack Pointer + 2	1	Contents of Accumulator B from Stack
		6	1	Stack Pointer + 3	1	Contents of Accumulator A from Stack
		7	1	Stack Pointer + 4	1	Index Register from Stack (High Order Byte)
		8	1	Stack Pointer + 5	1	Index Register from Stack (Low Order Byte)
		9	1	Stack Pointer + 6	1	Next Instruction Address from Stack (High Order Byte)
		10	1	Stack Pointer + 7	1	Next Instruction Address from Stack (Low Order Byte)
SWI	12	1	1	Op Code Address	1	Op Code
		②	1	Op Code Address + 1	1	Irrelevant Data (Note 1)
		3	1	Stack Pointer	0	Return Address (Low Order Byte)
		4	1	Stack Pointer - 1	0	Return Address (High Order Byte)
		5	1	Stack Pointer - 2	0	Index Register (Low Order Byte)
		6	1	Stack Pointer - 3	0	Index Register (High Order Byte)
		7	1	Stack Pointer - 4	0	Contents of Accumulator A
		8	1	Stack Pointer - 5	0	Contents of Accumulator B
		9	1	Stack Pointer - 6	0	Contents of Cond. Code Register
		⑩	0	Stack Pointer - 7	1	Irrelevant Data (Note 1)
		11	1	Vector Address FFFA (Hex)	1	Address of Subroutine (High Order Byte)
		12	1	Vector Address FFFB (Hex)	1	Address of Subroutine (Low Order Byte)
<b>RELATIVE</b>						
BCC BHI BNE BCS BLE BPL BEQ BLS BRA BGE BLT BVC BGT BMI BVS	4	1	1	Op Code Address	1	Op Code
		2	1	Op Code Address + 1	1	Branch Offset
		③	0	Op Code Address + 2	1	Irrelevant Data (Note 1)
		④	0	Branch Address	1	Irrelevant Data (Note 1)
BSR	8	1	1	Op Code Address	1	Op Code
		2	1	Op Code Address + 1	1	Branch Offset
		③	0	Return Address of Main Program	1	Irrelevant Data (Note 1)
		4	1	Stack Pointer	0	Return Address (Low Order Byte)
		5	1	Stack Pointer - 1	0	Return Address (High Order Byte)
		⑥	0	Stack Pointer - 2	1	Irrelevant Data (Note 1)
		⑦	0	Return Address of Main Program	1	Irrelevant Data (Note 1)
		⑧	0	Subroutine Address	1	Irrelevant Data (Note 1)

Note 1. If device which is addressed during this cycle uses VMA, then the Data Bus will go to the high impedance three-state condition. Depending on bus capacitance, data from the previous cycle may be retained on the Data Bus.  
 Note 2. Data is ignored by the MPU.  
 Note 3. For TST, VMA = 0 and Operand data does not change.  
 Note 4. While the MPU is waiting for the interrupt, Bus Available will go high indicating the following states of the control lines: VMA is low; Address Bus, R/W, and Data Bus are all in the high impedance state.



#### 4-2 取込まれたデータの表示に対するコメント

##### 4-2-1 逆アセンブル・フォーマットについて

1. オペコードのニーモニックは「MOTOROLA」社の6800/6802 標準アセンブリ・フォーマットを使用しています。

(資料: M6800 Programming Reference Manual )

2. オペランド・データ(1バイトあるいは2バイト)は全て16進で表示します。従って数値ベースを示す記号は使用していません。

例: LDA A +\$10      ↔      LDA A #10

(MOTOROLA社フォーマット) (=TR-4720フォーマット)

3. オペコードがあつてかつ、オペランドが「データ・メモリ」にない場合には、オペランドの表示は「+++」となります。

例: 「データ・メモリ」の最後のステートがアブソリュート表示で

86 /OP の場合は、ニーモニック表示では「LDA A ++++」

となります。

4. リラティブ・アドレッシング・モードの場合は、オペランドは1バイトですが、内部で16進4桁の絶対アドレスに変換して表示します。

例: BRA &1234      (&はリラティブ・アドレッシングを示す)

5. 6800/6802 の命令セットに存在しないオペコードが発見された場合には、「ノーマル・プリンク表示」の「?OP」で表示します。

例: 00 ?OP      ↔      00 /OP

(ニーモニック表示) (アブソリュート表示)

##### 4-2-2 μPの特別の動作おける表示について

1. 「HALT」の場合:  $\overline{\text{HALT}}$  ラインがローになりますと、バスがフロートし、かつVMA信号がローとなりますので、データの取込みはしません。S&Tモードでの対応関係には注意して下さい。
2. ノンマスクابل・インタラプト( $\overline{\text{NMI}}$ ), または、マスクابل・インタラプト( $\overline{\text{IRQ}}$ )の場合: これらのインタラプトが受け付けられますと、レジスタ内容のスタックへの退避、ベクタ・アドレス内容の読出しに続いて、処理ルーチンへ制御

が移ります。

アブソリュート表示

例:	[ ADRS ]	[ DATA ]	
	D8B3	26	/ OP
	D8B4	FB	/ RD
	D8B0	B6	/ OP
	D8B0	B6	/ RD
	OFFF	※2 B0	/ WR
	OFFE	D8	/ WR
	OFFD	BC	/ WR
	OFFC	D8	/ WR
	OFFB	02	/ WR
	OFFA	00	/ WR
	OFF9	C0	/ WR
	※3 FFF8	DB	/ RD
	※4 FFF9	3E	/ RD
	DB3E	FE	/ OP
	DB3F	09	/ RD
	DB40	5A	/ RD

... インタラプト受付

レジスタ内容の  
退避

ベクタ・アドレス  
内容の読出し

... 処理ルーチン

ニーモニク表示

例:	[ ADRS ]	[ DATA ]
	D8B3	BNE &D8B0
	D8B0	※1 LDA A B6B0
	OFFE	D8 / WR
	OFFD	BC / WR
	OFFC	D8 / WR
	OFFB	02 / WR
	OFFA	00 / WR
	OFF9	C0 / WR



FFF8 DB /RD  
FFF9 3E /RD  
DB3E LDX 095A

※1 命令として正確な表示ではありません。実際にも実行されておられません。  
また、この位置にくる命令が3バイト命令の場合、オペランドには、スタック・ポインタへ退避されるデータ[SP(n) ※2]が、アドレスの low byte として使用されてしまいますので、ニーモニック表示では、スタック・ポインタへ退避するデータ[SP(n) ※2]は表示されなくなります。  
したがって、インタラプトのシーケンスを観測する場合は、アブソリュート表示を使用して下さい。

※3  $\overline{\text{NMI}}$  の場合は FFFC,  $\overline{\text{IRQ}}$  の場合は FFF8 となります。

※4  $\overline{\text{NMI}}$  の場合は FFFD,  $\overline{\text{IRQ}}$  の場合は FFF9 となります。

3. TSC ラインをハイにした場合は、アドレス・バスがフロートし、VMA 信号がローになりますので、データの取込みはしません。S & T モードでの対応関係には注意して下さい。



## 第5章 動作チェック

CPUプローブ先端のデータ取込み点から、本体内部の「データ・メモリ」までの間に、コネクタやICなどによる多くの接続点があります。そのため、常に正しいデータの取込みが行なえるように、パーソナリティ・ボードには $\mu P$ のバスおよびコントロール信号に準じたテスト・パターン発生器があり、背面パネルの**CPU PROBE TEST**ソケットへテストパターンが出力されています。このテスト・パターンによってチェックしますと、プローブ先端から「データ・メモリ」までのルートが正常に動作しているかどうか確認することができます。以下に示す手順でチェックを行なって下さい。

1. **CPU PROBE** に、40ピンDIPクリップ・コネクタあるいは40ピンDIPプラグ・コネクタを接続します。
2. 背面パネルの**CPU PROBE TEST**ソケットへは、プラグ・コネクタの場合は直接に、クリップ・コネクタの場合は付属の「40ピンDIP ICパッケージ」を取付けてから接続して下さい。
3. **TRACE** キーによって「**TRACE STATE ALL**」モードに設定します。次に**DEFAULT** キーを押して、全ての「トレース条件」を初期状態として下さい。
4. 「入力プロンプト」が「**TRIG [ADRS]**」の位置にありますから**ENTRY**キーによって**0000**と入力します。
5. **RUN** キーを押しますと〔写真5〕に示すようなテスト・パターンがCRTディスプレイに表示されます。アドレス・バス・データとデータ・バスデータの各桁が同一の数字となっていることを確認して下さい。
6. 必要に応じて他のファンクションの基本動作の確認が行なえます。



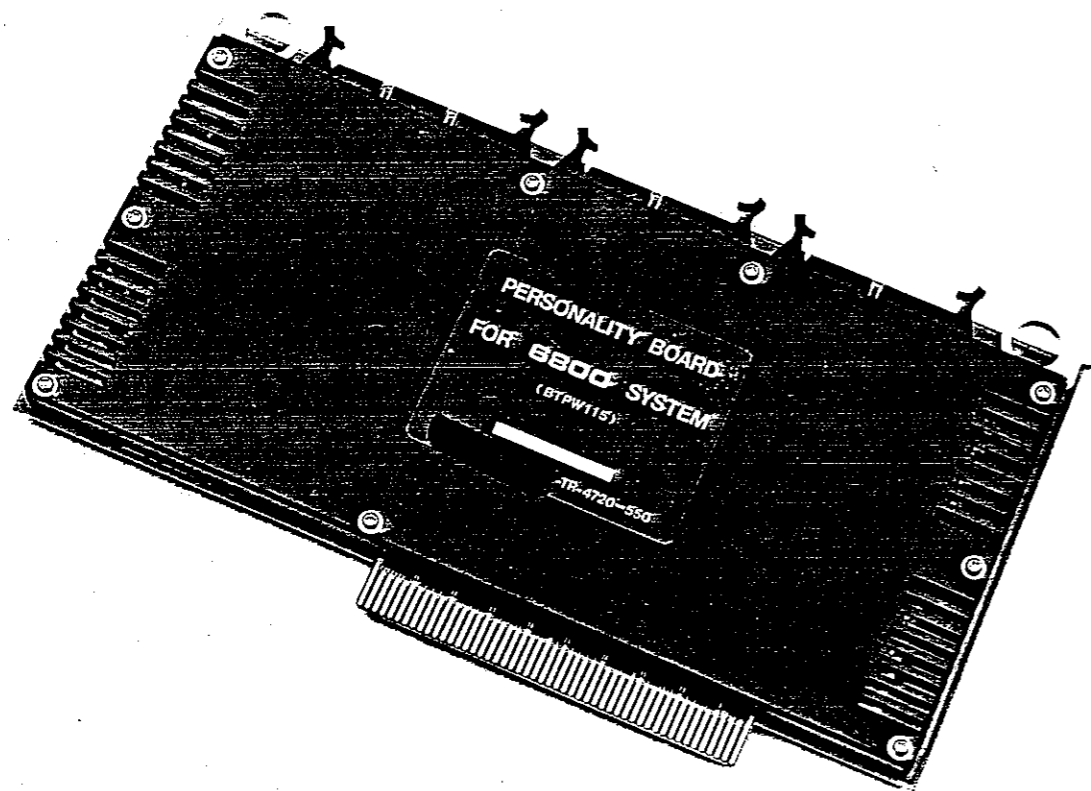


写真1 パーソナリ

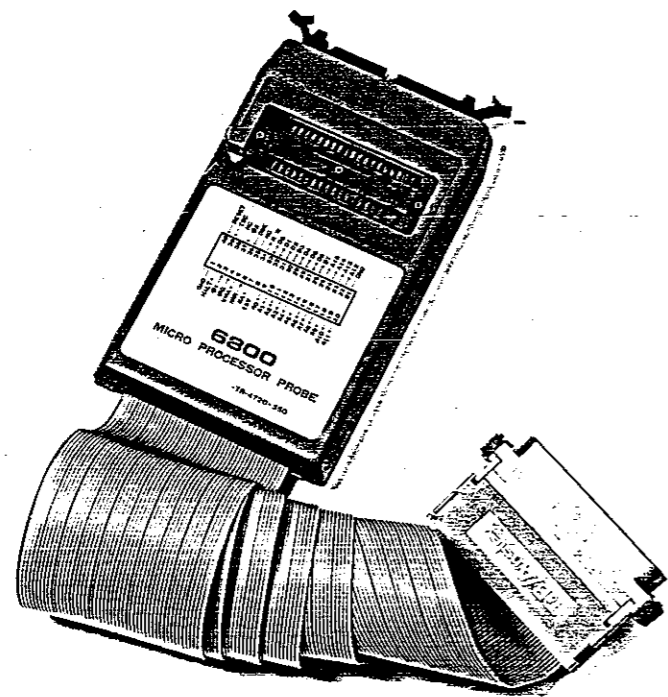
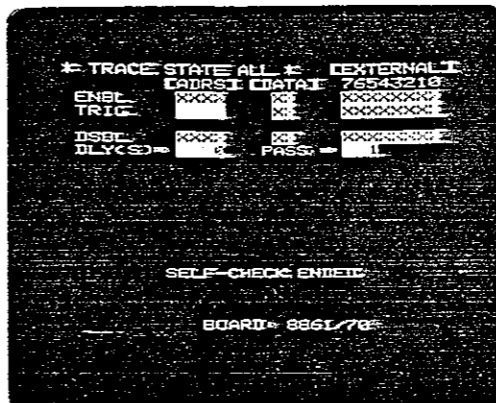


写真2 CPUプローブ

写真3



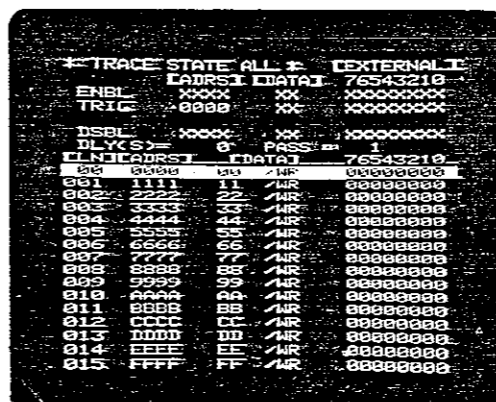
POWER ON時のパーソナリティ・ボード  
名称表示

写真4

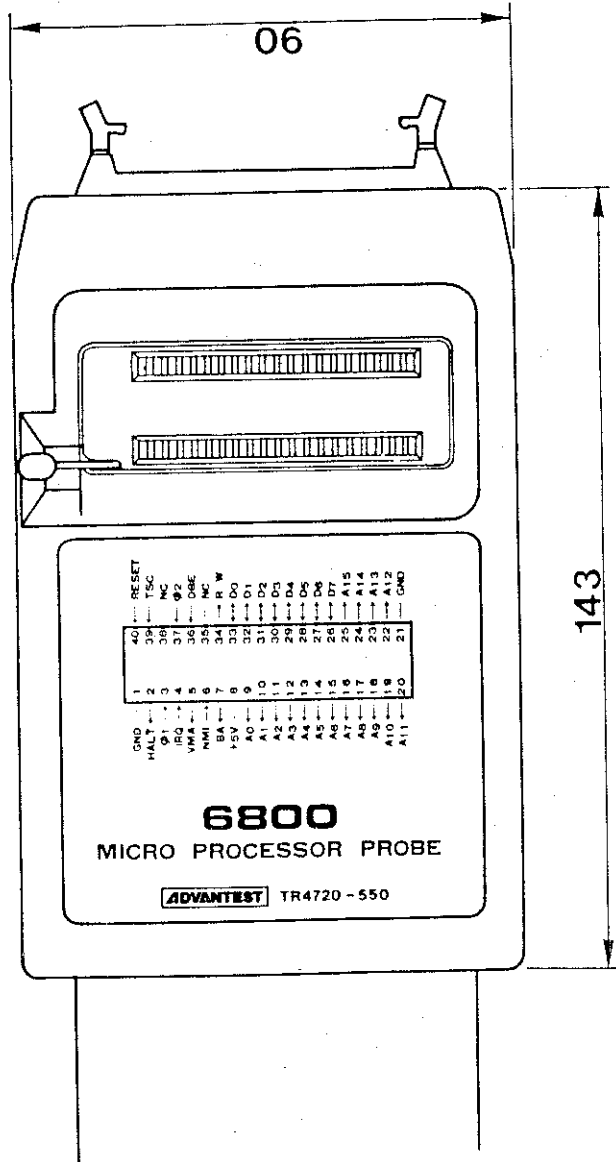
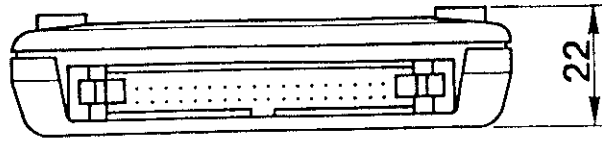


「TRACE STATE ALL」  
ABSモードの表示

写真5



テスト・パターン



TR4720-550  
EXTERNAL VIEW



## 本製品に含まれるソフトウェアのご使用について

本製品に含まれるソフトウェア（以下本ソフトウェア）のご使用について以下のことにご注意下さい。

ここでいうソフトウェアには、本製品に含まれる又は共に使用されるコンピュータ・プログラム、将来弊社よりお客様に提供されることのある追加、変更、修正プログラムおよびアップデート版のコンピュータ・プログラム、ならびに本製品に関する取扱説明書等の付随資料を含みます。

### 使用許諾

本ソフトウェアの著作権を含む一切の権利は弊社に帰属いたします。

弊社は、本ソフトウェアを本製品上または本製品とともに使用する限りにおいて、お客様に使用を許諾するものといたします。

### 禁止事項

お客様は、本ソフトウェアのご使用に際し以下の事項は行わないで下さい。

- 本製品使用目的以外で使用する事
- 許可なく複製、修正、改変を行う事
- リバース・エンジニアリング、逆コンパイル、逆アセンブルなどを行う事

### 免責

お客様が、本製品を通常の用法以外の用法で使用したことにより本製品に不具合が発生した場合、およびお客様と第三者との間で著作権等に関する紛争が発生した場合、弊社は一切の責任を負いかねますのでご了承下さい。



# 保証について

製品の保証期間は、お客様と別段の取り決めがある場合または当社が特に指定した場合を除き、製品の納入日(システム機器については検取日)から1年間といたします。保証期間中に、当社の責めに帰する製造上の欠陥により製品が故障した場合、無償で修理いたします。ただし、下記に該当する場合は、保証期間中であっても保証の対象から除外させていただきます。

- 当社が認めていない改造または修理を行った場合
- 支給品等当社指定品以外の部品を使用した場合
- 取扱説明書に記載する使用条件を超えて製品を使用した場合(定められた許容範囲を超える物理的ストレスまたは電流電圧がかかった場合など)
- 通常想定される使用環境以外で製品を使用した場合(腐食性の強いガス、塵埃の多い環境等による電気回路の腐食、部品の劣化が早められた場合など)
- 取扱説明書または各種製品マニュアルの指示事項に従わずに使用された場合
- 不注意または不当な取扱により不具合が生じた場合
- お客様のご指示に起因する場合
- 消耗品や消耗材料に基づく場合
- 火災、天変地異等の不可抗力による場合
- 日本国外に持出された場合
- 製品を使用できなかったことによる損失および逸失利益

当社の製品の保証は、本取扱説明書に記載する内容に限られるものとします。

## 保守に関するお問い合わせについて

長期間にわたる信頼性の保証、国家標準とのトレーサビリティを実現するためにアドバンテストでは、工場から出荷された製品の保守に対し、カスタマ・エンジニアを配置しています。

カスタマ・エンジニアは、故障などの不慮の事故は元より、製品の長期間にわたる性能の保証活動にフィールド・エンジニアとしても活動しています。

万一、動作不良などの故障が発生した場合には、当社のMS(計測器)コールセンターにご連絡下さい。

## 製品修理サービス

- 製品修理期間  
製品の修理サービス期間は、製品の納入後10年間とさせていただきます。
- 製品修理活動  
当社の製品に故障が発生した場合、当社に送っていただく引取り修理、または当社技術員が現地に出張しての出張修理にて対応いたします。

## 製品校正サービス

- 校正サービス  
ご使用中の製品に対し、品質および信頼性の維持を図ることを目的に行うもので、校正後の製品には校正ラベルを貼付けし、品質を保証いたします。
- 校正サービス活動  
校正サービス活動は、株式会社アドバンテスト カスタマサポートに送っていただく引取り校正、または当社技術員が現地に出張しての出張校正にて対応いたします。

## 予防保守のおすすめ

製品にはエレクトロニクス部品およびメカニカル部品の一部に寿命を考慮すべき部品を使用しているため、定期的な交換を必要とします。適正な交換期間を過ぎて使用し発生した障害に対しては、修理および性能の保証ができません場合があります。

アドバンテストでは、このようなトラブルを未然に防ぐため、予防保守が有効な手段と考え、予防保守作業を実施する体制を整えています。

各種の予防保守を定期的実施することで、製品の安定稼働を図り、不意の費用発生を防ぐため、年間保守契約による予防保守の実施をお勧めいたします。

なお、年間保守契約は、製品、使用状況および使用環境により内容が変わりますので、最寄りの弊社営業支店にお問い合わせ下さい。

# ADVANTEST

<http://www.advantest.co.jp>

## 株式会社アドバンテスト

本社事務所  
〒100-0005 千代田区丸の内1-6-2 新丸の内センタービルディング  
TEL: 03-3214-7500 (代)

第4アカウント販売部(東日本)  
〒100-0005 千代田区丸の内1-6-2 新丸の内センタービルディング  
TEL: 0120-988-971  
FAX: 0120-988-973

第4アカウント販売部(西日本)  
〒564-0062 吹田市垂水町3-34-1  
TEL: 0120-638-557  
FAX: 0120-638-568

### ★計測器に関するお問い合わせ先

(製品の仕様、取扱い、修理・校正等計測器関連全般)

MS(計測器)コールセンタ ☎ TEL 0120-919-570  
FAX 0120-057-508

E-mail: [icc@acs.advantest.co.jp](mailto:icc@acs.advantest.co.jp)