

---

**ADVANTEST®**

株式会社 アドバンテスト

---

取扱説明書

TR4720-590

6801用 パーソナリティ・キット  
6803

MANUAL NUMBER 0221 A 302

---



# 目 次

第1章 概 説	
1-1. 概 要 .....	1-1
1-2. パーソナリティ・キットの構成 .....	1-2
1-3. 性能諸元 .....	1-3
第2章 セット・アップ	
2-1. パーソナリティ・キットの交換方法 .....	2-1
2-1-1. 使用 $\mu$ P によるパーソナリティ・ボードのモード切換え .....	2-1
2-1-2. パーソナリティ・ボードの交換 .....	2-3
2-1-3. パーソナリティ・パネルの交換 .....	2-4
2-1-4. CPU プロブの交換 .....	2-5
2-2. $\mu$ P への接続方法 .....	2-5
第3章 パーソナリティ・パネルの使用方法	
3-1. TRIGGER QUALIFIER スイッチの使用方法 .....	3-1
3-2. CPU ステータス LED およびモード表示 LED の使用方法 .....	3-2
第4章 データの取込みおよび表示に関する情報	
4-1. データの取込みタイミング .....	4-1
4-2. 取込まれたデータの表示に対するコメント .....	4-9
4-2-1. 逆アセンブル・フォーマットについて .....	4-9
4-2-2. $\mu$ P の特別な動作における表示について .....	4-10
第5章 動作チェック .....	5-1



# 第 1 章 概 説

## 1-1. 概 要

**TR4720-590**は、**TR4720**ロジック・アナライザと組合わせて、6801/6803 $\mu$ P (マイクロプロセッサ)を使用した各種システムの総合的なデバッグを行なうことができます。このパーソナリティ・キットの特長は、以下の通りです。

1. 各種  $\mu$ P に対して専用のパーソナリティ・キットが用意されていますので、測定  
のセット・アップが容易で、データの取込みが迅速に行なえます。
2. 逆アセンブル機能によって  $\mu$ P 固有のニーモニックで表示できますので、得られ  
たデータの解析が非常に容易となります。
3. データ・バス・クォリファイアにより本体のトリガ機能が、さらに強化されます。
4.  $\mu$ P の信号に疑似したテスト・パターン発生器を内蔵していますので、CPU プ  
ローブのテストから、本体の基本測定機能のテストまで行なえます。

### NOTE

本取扱説明書は、対象となる  $\mu$ P の種類に依存する部分を中心に説明してあり  
ます。 $\mu$ P の種類に依存しない基本的な機能、操作方法などは **TR4720** 本  
体取扱説明書をご覧ください。

1-2. パーソナリティ・キットの構成

パーソナリティ・ボード（本体内に挿入）	1
CPU プローブ（被測定システムと本体とを接続）	1
プローブ用コネクタ	
40ピンDIPクリップ・コネクタ	1
40ピンDIPプラグ・コネクタ	1
パーソナリティ・パネル（本体の正面パネルに装着）	1
ケース	1
パーソナリティ・キット収納ケース	1
取扱説明書	1

注意：パーソナリティ・ボードは、  
出荷時に本体内に挿入して  
ある場合があります。

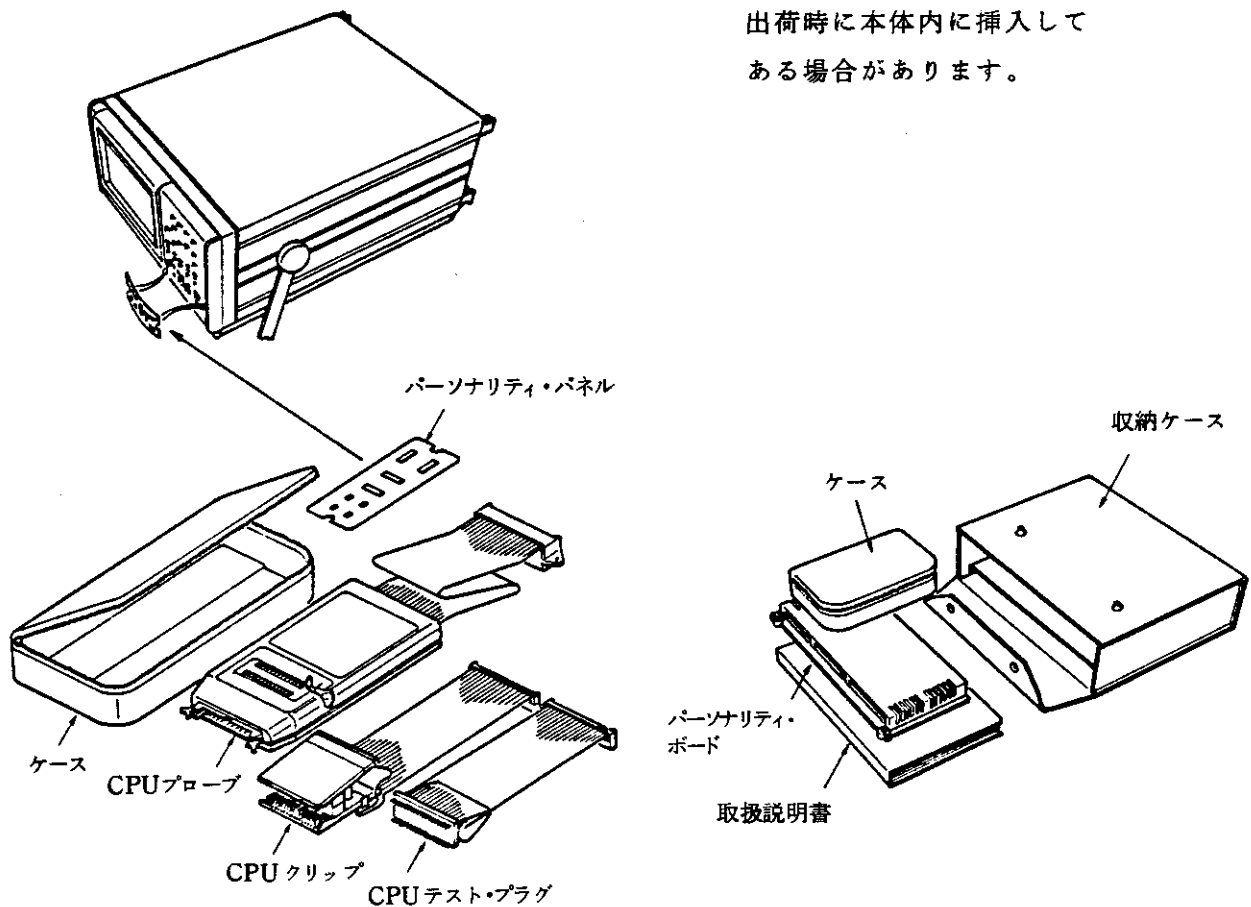


図 1-1 パーソナリティ・キットの構成

### 1-3. 性能諸元

適 合 CPU: MOTOROLA MC6801, MC6801-1,

MC6801U4, MC6803 および相当品

クロック周波数: 被測定システムによる。max. 1.25 MHz

入 力 電 流:  $-200 \mu\text{A}$  max. (ロー・レベル)

$20 \mu\text{A}$  max. (ハイ・レベル)

クオリファイア: (a) OP または OFF

(b) READ, WRITE または OFF

(a) と (b) は OR される)

CPU ステータス表示:

WAIT; WAIT FOR INTERRUPT 命令を実行し,  $\mu\text{P}$  が

INTERRUPT 待ち状態の時に点灯。

INTERRUPT の発生で消灯。

$\infty$  CYCLE;  $\mu\text{P}$  が 4E, 5E の未定義インストラクションを実行したとき点

灯。リスタート実行によって消灯。

モード表示:

MODE5 ; Non-Multiplexed / Partial Decode (MC6801

モード5) に設定したときに点灯。

MODE6 ; Multiplexed / Partial Decode (MC6801 モード

1, 6) に設定したときに点灯。

測定可能なCPUモード; Single chip モード(モード4, 7)を除く

すべてのモード(モード0, 1, 2, 3, 5, 6)。

ただし, 内部ROM, RAM のデータは測定でき

ません。





## 第2章 セット・アップ

### 2-1. パーソナリティ・キットの交換方法

すでに装着されているパーソナリティ・キットと、測定対象となる $\mu$ Pが異なる場合には、対象となる $\mu$ P用のパーソナリティ・キットとの交換が必要です。交換が必要なのは、パーソナリティ・ボード、パーソナリティ・パネルとCPUプローブの3点です。以下の手順で交換して下さい。

#### 2-1-1. 使用 $\mu$ Pによるパーソナリティ・ボードのモード切換え

1. パーソナリティ・ボード上には、SUTに使用される $\mu$ Pの使用モードによって切換えるモード切換えスイッチがあります。〔図2-1〕を参照して下さい。
  - a MC6801U4, HD6801Vタイプ(4KバイトROM内蔵品)または相当品をモード1, 6で使用する場合は、モード切換えスイッチを**6**に設定して下さい。モード表示ランプの**MODE6**が点灯します。
  - b MC6801, MC6801-1, HD6801Sタイプ(2KバイトROM内蔵品)または相当品をモード1, 6で使用する場合は、モード切換えスイッチを**7**に設定して下さい。モード表示ランプの**MODE6**が点灯します。
  - c 上記 $\mu$ Pをモード5で使用する場合はモード切換えスイッチを**8**または**9**のいずれかに設定して下さい。モード表示ランプの**MODE5**が点灯します。
  - d MC6803, HD6803または相当品をモード2およびMC6801, HD6801または相当品をモード0, 1, 2, 3で使用する場合は、モード切換えスイッチを**0, 1, 2, 3**のいずれかに設定して下さい。この場合、 $\mu$ Pのモードとスイッチの値との関連はありません。

表 2-1 モード切換えスイッチ設定一覧

スイッチ	$\mu P$ 使用モード
0, 1, 2, 3	MC 6803, MC 6801/U4 相当品をモード 0, 2, 3 で使用する場合
4, 5	未使用 (ランプは <b>MODE 6</b> 点灯)
6	MC 6801 U4 相当品をモード 1, 6 で使用する場合
7	MC 6801 相当品をモード 1, 6 で使用する場合
8, 9	MC 6801/U4 相当品をモード 5 で使用する場合

注 意

上記のように使用  $\mu P$  とパーソナリティ・ボードのモード切換えスイッチが一致しないと正しい観測結果が得られませんので注意して下さい。

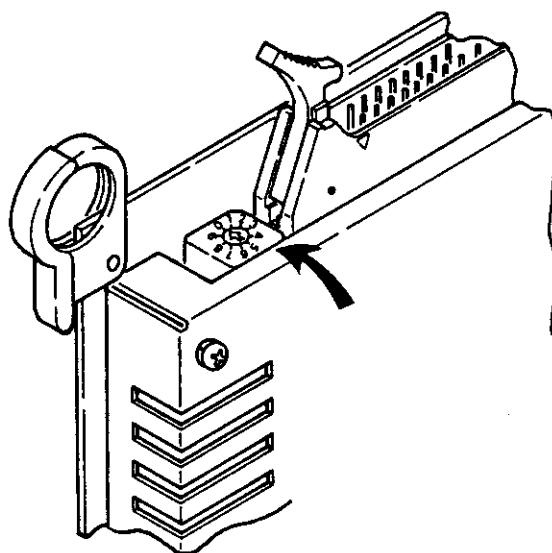


図 2-1 モード切換えスイッチ

## 2-1-2. パーソナリティ・ボードの交換

1. **POWER** スイッチを **OFF** に設定します。
2. 本体上カバーの4本のネジ(3 $\frac{1}{2}$ , +)を外し, 上カバーを取除きます。
3. 正面パネルから見て右端のボードがパーソナリティ・ボードです。パーソナリティ・ボード上面の3個のコネクタを外します。
4. パーソナリティ・ボード両側のボード・ハンドルを用いて, ボードを取外します。  
(図2-2参照)
5. 交換するパーソナリティ・ボード(写真1参照)の銘板が外側になるようにして, スロット両側のボード・ガイドに従って挿入して下さい。
6. パーソナリティ・ボード上面の3個のコネクタを取付けます。
7. 手前のスイッチを小型のドライバで使用モードに設定して下さい。
8. 本体上カバーを4本のネジで取付けます。
9. **POWER** スイッチを **ON** に設定しますと, 交換したパーソナリティ・ボードの対象  $\mu$ P 名が, 約30秒後にCRTディスプレイに表示されますので確認して下さい。(写真3参照)
10. 取外したパーソナリティ・ボードは, 所定のパーソナリティ・キット収納ケースに入れて下さい。

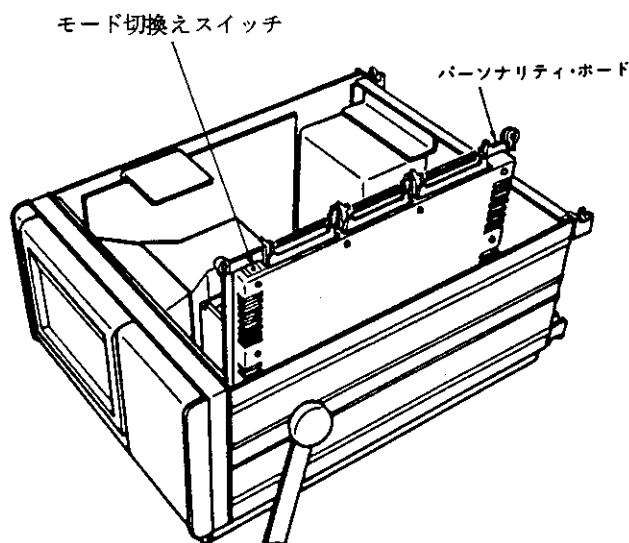


図2-2 パーソナリティ・ボードの交換

### 2-1-3. パーソナリティ・パネルの交換

1. 正面パネル右下側に取付けられているパネルが、パーソナリティ・パネルです。  
まず、**TRIGGER QUALIFIER** スイッチの設定を、**OFF** にします。  
次にCPUステータスLED側から、パーソナリティ・パネルをたわめると、  
パネルはプラスチックで作られていますので、取外すことができます。
2. 交換するパーソナリティ・パネルの切り欠き部分を飾りネジに挿入することで、  
取付けます。(図2-3参照)取付けた後に、**TRIGGER QUALIFIER**  
スイッチをすべて**OFF**に設定します。
3. 取外したパーソナリティ・パネルは所定のケースに入れて下さい。

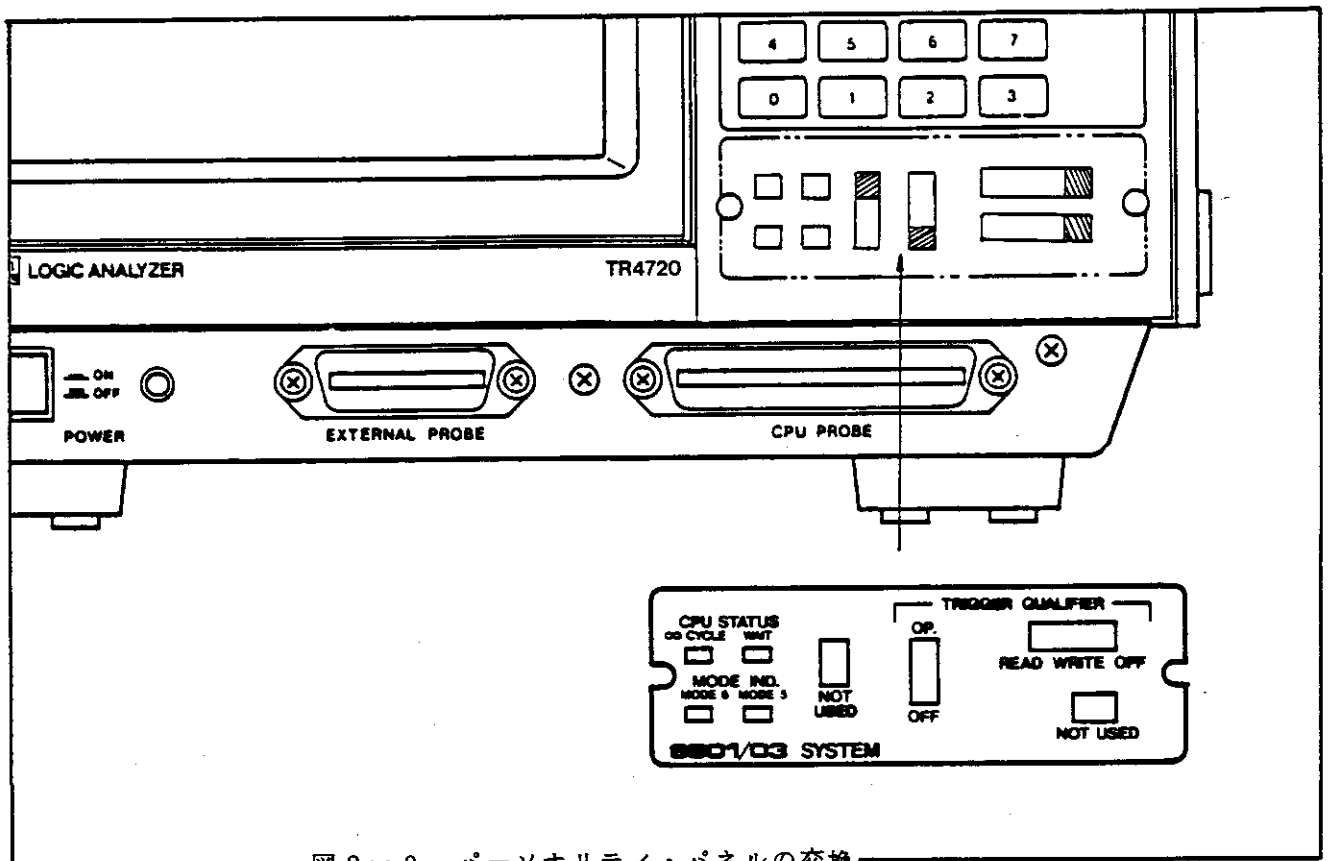


図2-3 パーソナリティ・パネルの交換

#### 2-1-4. CPUプローブの交換

1. 交換したパーソナリティ・ボードに対応したCPUプローブ（写真2参照）を正面パネル下面のCPUプローブ・コネクタへ取付けて下さい。
2. 取外したCPUプローブは所定の収納ケースに入れて下さい。

#### 2-2. $\mu$ Pへの接続方法

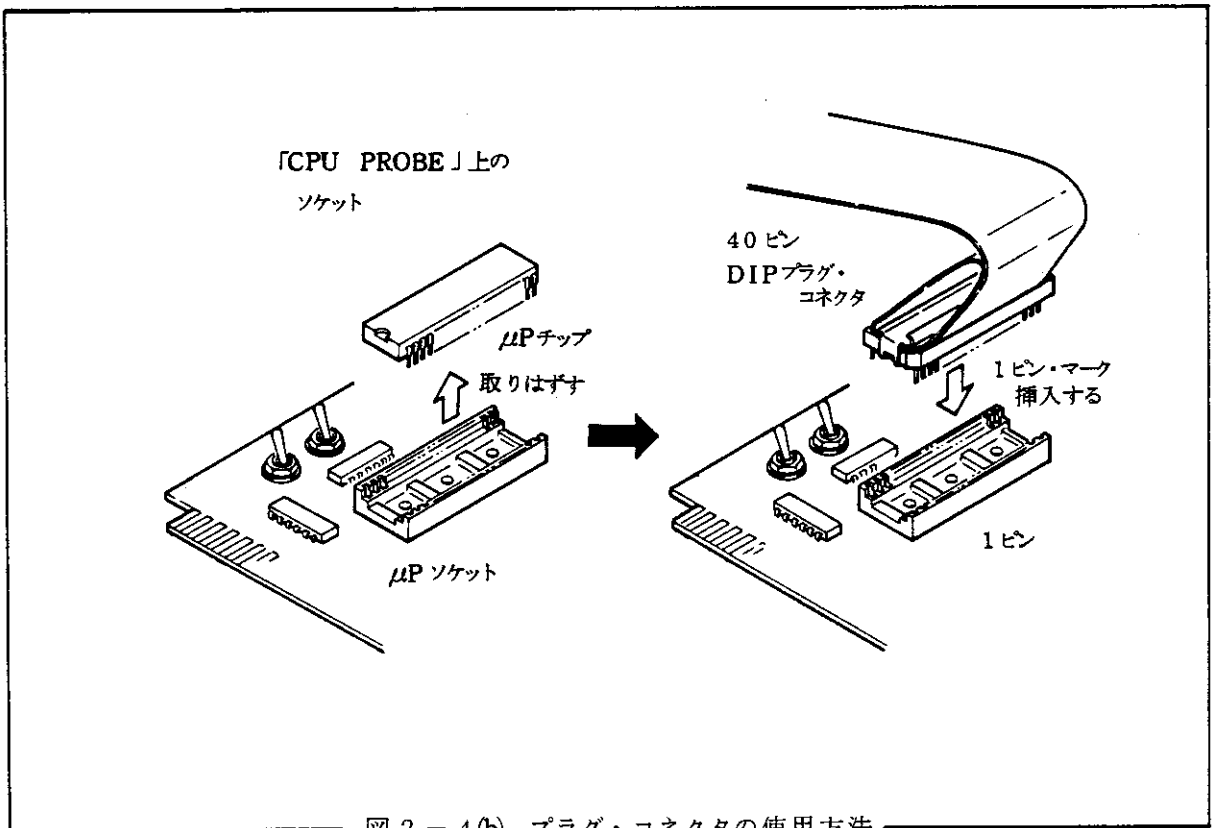
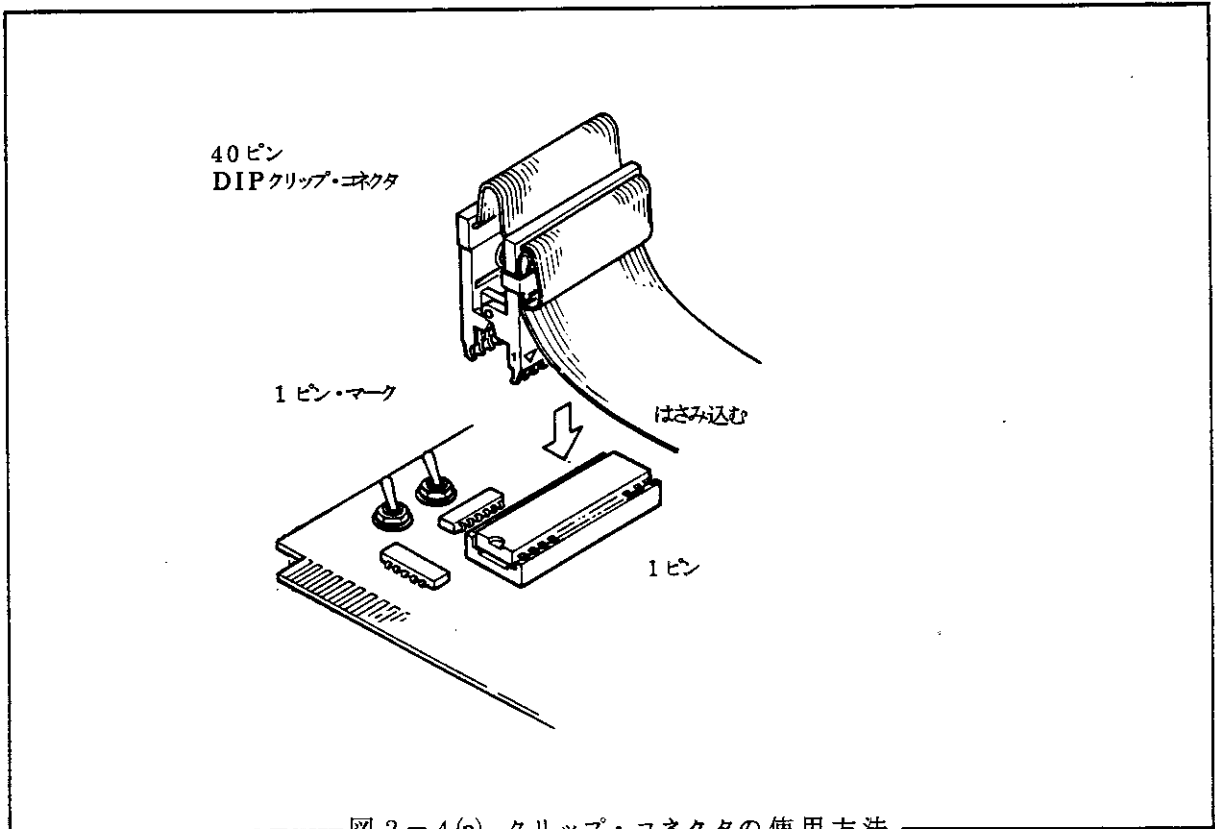
CPUプローブをSUT（System Under Test）の $\mu$ Pへ接続するために2種類のコネクタが用意されています。接続の様子を〔図2-4〕に示します。

1. 40ピンDIPクリップ・コネクタの場合 ……… SUTの $\mu$ Pチップをはさみ込んで使用します。
2. 40ピンDIPプラグ・コネクタの場合 ……… SUTの $\mu$ Pがソケットを使用している場合に使用できます。まず、 $\mu$ Pをソケットから外し、「CPU PROBE」上のソケットに装着します。次にプラグ・コネクタを $\mu$ Pのソケットに挿入します。

いずれの場合でも、ピンの向きに注意して下さい。

#### 注 意

AC電源ラインに雑音が多い環境で使用する場合、**TR4720** 本体およびSUT（被測定システム）を、必ず接地して使用して下さい。



### 第3章 パーソナリティ・パネルの使用法

パーソナリティ・パネルを〔図3-1〕に示します。パネルは、 **TRIGGER QUALIFIER** スイッチ ( $S_1, S_2, S_3$ )、 **NOT USED** (未使用) スイッチ ( $S_4$ )、 CPU ステータス LED、 MODE 表示 LED から構成されています。

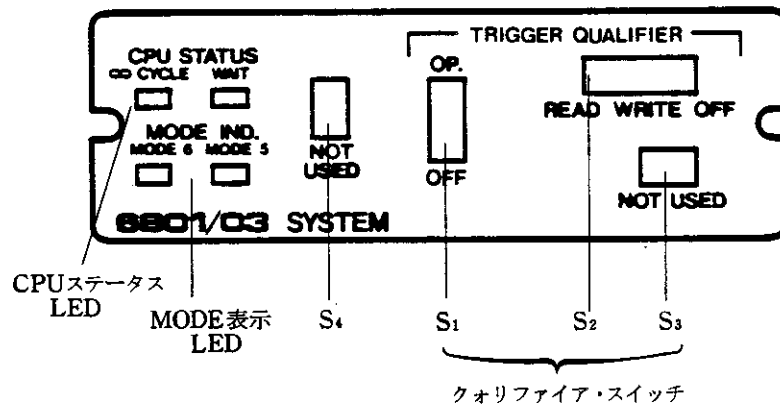


図3-1 パーソナリティ・パネル

#### 3-1. TRIGGER QUALIFIER スイッチの使用法

CPU プローブからは、アドレス・バス、データ・バス上の各データと共に、コントロール信号も取込まれますが、パーソナリティ・ボード内でこれらの信号をデコードして、データ・バス・データの種別を示すデータ・バス・フラグが作られ、バス・データと共に「データ・メモリ」へ送られます。6801/6803 の場合、データ・バス・フラグは 2 ch. で、以下の通りです。

- ・ フェッチ・サイクルのデータ (オペコード ; OP) かどうか。
- ・ リード・データか、ライト・データか。

「ステート表示」の場合に、これらのフラグがパーソナリティ・ボード内のプログラムによって解読され、CRT ディスプレイに表示されます。「アブソリュート表示」の例を〔写真4〕に示します。データ・バス・データの右側に表示されているのが、データ・バス・フラグの外部表現で以下の3種類があります。

- 1) /OP : SUT の  $\mu P$  がオペコードであると解釈したデータです。
- 2) /RD : メモリ (RAM および ROM) から  $\mu P$  へリードされたデータです。
- 3) /WR : メモリ (RAM) へ  $\mu P$  からライトされたデータです。

データ・バス・データのこれらの違いを、トリガ機能として使うのがトリガ・クォリファイアです。S<sub>1</sub>、S<sub>2</sub>の両方を**OFF**に設定すれば、キーボードから設定したトリガ条件で測定が行なわれますが、2つのスイッチの1つでも**OFF**でなければクォリファイアが働きます。2つのスイッチの組合わせで1)～3)の種類を識別する機能をトリガ条件に加えることができます。S<sub>1</sub>とS<sub>2</sub>の設定は「**OR**」されるため6801/6803の場合、スイッチによる組合わせは6通りとなります。組合わせを〔表3-1〕に示します。「**TIME INTERVAL**」以外のすべての測定モードで有効ですが、特に「**TRACE TRIGS**」では便利です。全く「トリガ条件」を設定しなくても、リード・データだけやライト・データだけを取込むことも、S<sub>1</sub>を**OFF**、S<sub>2</sub>を**READ**あるいは**WRITE**に設定するだけで行なえます。

クォリファイア機能	S <sub>1</sub>	S <sub>2</sub>
/RD を識別	<b>OFF</b>	<b>READ</b>
/WR を識別	<b>OFF</b>	<b>WRITE</b>
なし	<b>OFF</b>	<b>OFF</b>
/OP + /RDを識別	<b>OP</b>	<b>READ</b>
/OP + /WRを識別	<b>OP</b>	<b>WRITE</b>
/OP を識別	<b>OP</b>	<b>OFF</b>

S<sub>3</sub> は常に**OFF**

表 3 - 1 トリガ・クォリファイア機能

### 3 - 2. CPU ステータス LED およびモード表示 LED の使用方法

SUT の  $\mu$ P は命令によって、次の命令から実行を中断したり、意味のないサイクルに入ったりします。このような状態ではトレースによる観測ができなかったり表示が全く意味のないものになりますので、 $\mu$ P がどんな状態にあるかを LED で表示しています。これが CPU ステータス LED です。パーソナリティ・ボード上には、SUT に使用される  $\mu$ P の使用モードによって切替えるモード切替えスイッチがあります。このスイッチの設定状態を表示するのがモード表示 LED です。



- WAIT** :  $\mu$ PがWAIT FOR INTERRUPT を実行し、インタラプトの発生を待っている状態です。
- $\infty$  CYCLE** :  $\mu$ Pがなんらかの理由で4Eまたは5Eの未定義命令を実行し、 $\infty$ CYCLEに入ってしまったことを表示します。
- MODE 5** : パーソナリティ・ボード上のモード切換えスイッチが6801のモード5用に設定されていると点灯します。
- MODE 6** : パーソナリティ・ボード上のモード切換えスイッチが6801の内部ROMを使用しているモード1, 6に設定されていると点灯します。



## 第4章 データの取込みおよび表示に関する情報

### 4-1. データの取込みタイミング

$\mu$ Pからの信号のうち、パーソナリティ・ボードによってサンプリングされるのは以下のデータです。

- アドレス・バス・データ 16 ch. (6801のモード5は8 ch.)
  - データ・バス・データ 8 ch. (ADバスから分離)
    - F1 = 1 (オペコード・フェッチ・サイクル)※
    - = 0 (上記以外)
    - F3 = 1 (R/W信号がハイ:リード・サイクル)
    - = 0 (R/W信号がロー:ライト・サイクル)
- F2, F4 は使用されません。

※6801/6803のコントロール信号にはオペコード・フェッチ・サイクルを示す信号がありませんので、パーソナリティ・ボード内のデコード回路によって次の条件のいずれかに適合するサイクルをフェッチ・サイクルとしています。

- ① 各命令固有のリード・サイクル数を終了後のサイクル
- ② リスタート後の4サイクル目
- ③ 少数の例外を除き、ライト・サイクルの次のサイクル
- ④ インタラプトによってスタック退避後の4サイクル目
- ⑤ 内部ROM実行によって外部ROMがアクセスされたサイクル

以上のデータは $\mu$ Pのコントロール信号から作られるサンプリング・クロックによってサンプリングされますが、そのタイミングを〔図4-1〕に示します。

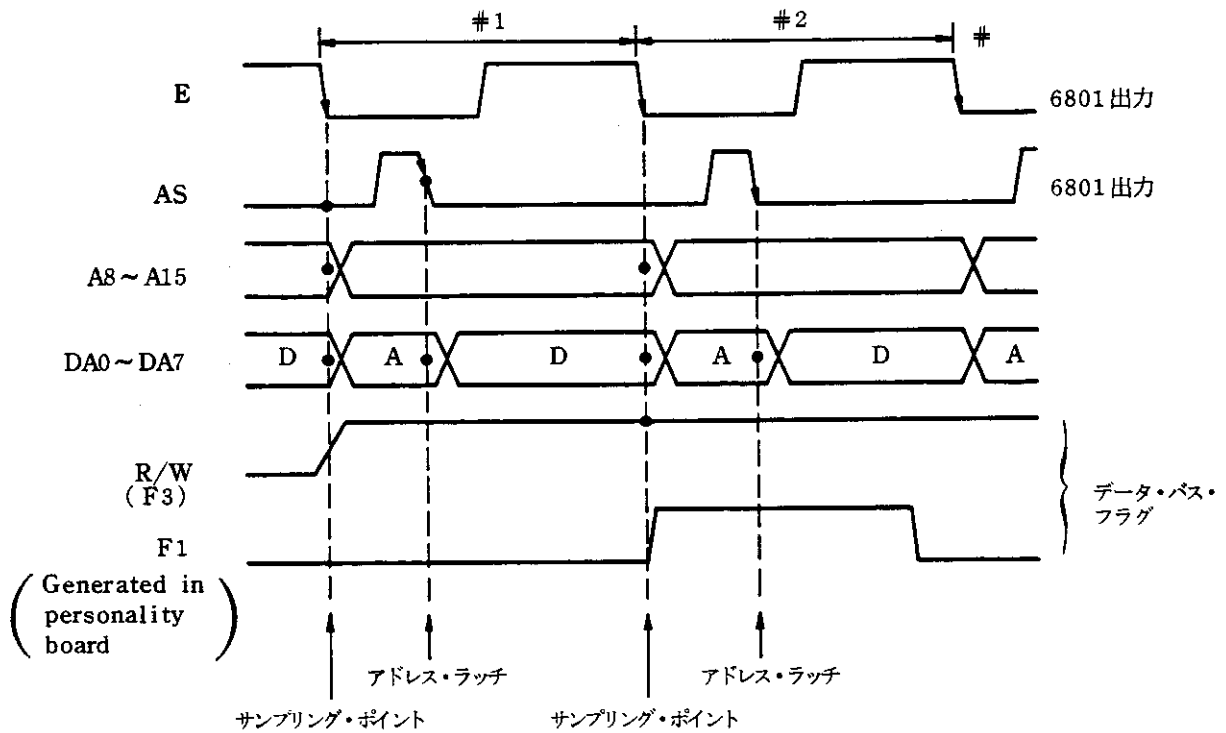


図 4-1 パーソナリティ・ボード内でのデータ・サンプリング・タイミング

上図の例はライト・サイクル後の命令です。アドレス・バス・データ，データ・バス・データ，データ・バス・フラグは，6801の場合はE↓でサンプリングされます。アドレス・バス・データ下位8ビットはASφでデータと分離ラッチされます。  
 ※  
 サンプリングされないサイクルは〔表4-1〕で○印をつけたサイクルです。

※ モトローラ社発行 〔MC6801 Microcomputer Unit Data シート〕より引用

**SUMMARY OF CYCLE-BY-CYCLE OPERATION**

Table 14 provides a detailed description of the information present on the Address Bus, Data Bus, and the Read/Write (R/W) line during each cycle of each instruction.

The information is useful in comparing actual with expected results during debug of both software and hardware as the program is executed. The information is categorized in groups according to addressing mode and number of cycles

per instruction. In general, instructions with the same addressing mode and number of cycles execute in the same manner. Exceptions are indicated in the table.

Note that during MPU reads of internal locations, the resultant value will not appear on the external Data Bus except in Mode 0. "High order" byte refers to the most significant byte of a 16-bit value.

表 4-1 CYCLE-BY-CYCLE OPERATION

Address Mode & Instructions	Cycles	Cycle #	Address Bus	R/W Line	Data Bus
<b>IMMEDIATE</b>					
ADC EOR ADD LDA AND ORA BIT SBC CMP SUB	2	1	Op Code Address	1	Op Code
		2	Op Code Address + 1	1	Operand Data
LDS LDX LDD	3	1	Op Code Address	1	Op Code
		2	Op Code Address + 1	1	Operand Data (High Order Byte)
		3	Op Code Address + 2	1	Operand Data (Low Order Byte)
CPX SUBD ADD	4	1	Op Code Address	1	Op Code
		2	Op Code Address + 1	1	Operand Data (High Order Byte)
		3	Op Code Address + 2	1	Operand Data (Low Order Byte)
		④	Address Bus FFFF	1	Low Byte of Restart Vector
<b>DIRECT</b>					
ADC EOR ADD LDA AND ORA BIT SBC CMP SUB	3	1	Op Code Address	1	Op Code
		2	Op Code Address + 1	1	Address of Operand
		3	Address of Operand	1	Operand Data
STA	3	1	Op Code Address	1	Op Code
		2	Op Code Address + 1	1	Destination Address
		3	Destination Address	0	Data from Accumulator
LDS LDX LDD	4	1	Op Code Address	1	Op Code
		2	Op Code Address + 1	1	Address of Operand
		3	Address of Operand	1	Operand Data (High Order Byte)
		4	Operand Address + 1	1	Operand Data (Low Order Byte)
STS STX STD	4	1	Op Code Address	1	Op Code
		2	Op Code Address + 1	1	Address of Operand
		3	Address of Operand	0	Register Data (High Order Byte)
		4	Address of Operand + 1	0	Register Data (Low Order Byte)
CPX SUBD ADD	5	1	Op Code Address	1	Op Code
		2	Op Code Address + 1	1	Address of Operand
		3	Operand Address	1	Operand Data (High Order Byte)
		4	Operand Address + 1	1	Operand Data (Low Order Byte)
		⑤	Address Bus FFFF	1	Low Byte of Restart Vector
JSR	5	1	Op Code Address	1	Op Code
		②	Op Code Address + 1	1	Irrelevant Data
		3	Subroutine Address	1	First Subroutine Op Code
		4	Stack Pointer	0	Return Address (Low Order Byte)
		5	Stack Pointer + 1	0	Return Address (High Order Byte)

— Continued —



表 4-1 CYCLE-BY-CYCLE OPERATION (CONTINUED)

Address Mode & Instructions	Cycles	Cycle #	Address Bus	R/W Line	Data Bus
<b>EXTENDED</b>					
JMP	3	1	Op Code Address	1	Op Code
		2	Op Code Address + 1	1	Jump Address (High Order Byte)
		3	Op Code Address + 2	1	Jump Address (Low Order Byte)
ADC EOR ADD LOA AND ORA  BIT SBC CMP SUB	4	1	Op Code Address	1	Op Code
		2	Op Code Address + 1	1	Address of Operand
		3	Op Code Address + 2	1	Address of Operand (Low Order Byte)
		4	Address of Operand	1	Operand Data
STA	4	1	Op Code Address	1	Op Code
		2	Op Code Address + 1	1	Destination Address (High Order Byte)
		3	Op Code Address + 2	1	Destination Address (Low Order Byte)
		4	Operand Destination Address	0	Data from Accumulator
LDS LDX  LDD	5	1	Op Code Address	1	Op Code
		2	Op Code Address + 1	1	Address of Operand (High Order Byte)
		3	Op Code Address + 2	1	Address of Operand (Low Order Byte)
		4	Address of Operand	1	Operand Data (High Order Byte)
		5	Address of Operand + 1	1	Operand Data (Low Order Byte)
STS STX  STD	5	1	Op Code Address	1	Op Code
		2	Op Code Address + 1	1	Address of Operand (High Order Byte)
		3	Op Code Address + 2	1	Address of Operand (Low Order Byte)
		4	Address of Operand	0	Operand Data (High Order Byte)
		5	Address of Operand + 1	0	Operand Data (Low Order Byte)
ASL LSR ASR NEG  CLR ROL  COM ROR DEC TST INC	6	1	Op Code Address	1	Op Code
		2	Op Code Address + 1	1	Address of Operand (High Order Byte)
		3	Op Code Address + 2	1	Address of Operand (Low Order Byte)
		4	Address of Operand	1	Current Operand Data
		⑤	Address Bus FFFF	1	Low Byte of Restart Vector
		6	Address of Operand	0	New Operand Data
CPX SUBD  ADDD	6	1	Op Code Address	1	Op Code
		2	Op Code Address + 1	1	Operand Address (High Order Byte)
		3	Op code Address + 2	1	Operand Address (Low Order Byte)
		4	Operand Address	1	Operand Data (High Order Byte)
		5	Operand Address + 1	1	Operand Data (Low Order Byte)
		⑥	Address Bus FFFF	1	Low Byte of Restart Vector
JSR	6	1	Op Code Address	1	Op Code
		2	Op Code Address + 1	1	Address of Subroutine (High Order Byte)
		3	Op Code Address + 2	1	Address of Subroutine (Low Order Byte)
		④	Subroutine Starting Address	1	Op Code of Next Instruction
		5	Stack Pointer	0	Return Address (Low Order Byte)
		6	Stack Pointer - 1	0	Return Address (High Order Byte)

\* TST命令のみ、6サイクル目のR/ $\bar{W}$ ラインが“1”レベルになります。  
 \* TST命令のみ、6サイクル目は不要データのためのサンプリングしていません。

— Continued —



表 4-1 CYCLE-BY-CYCLE OPERATION (CONTINUED)

Address Mode & Instructions	Cycles	Cycle #	Address Bus	R/W Line	Data Bus
<b>INDEXED</b>					
JMP	3	1	Op Code Address	1	Op Code
		2	Op Code Address + 1	1	Offset
		③	Address Bus FFFF	1	Low Byte of Restart Vector
ADC EOR ADD LDA AND ORA BIT SBC CMP SUB	4	1	Op Code Address	1	Op Code
		2	Op Code Address + 1	1	Offset
		③	Address Bus FFFF	1	Low Byte of Restart Vector
		4	Index Register Plus Offset	1	Operand Data
STA	4	1	Op Code Address	1	Op Code
		2	Op Code Address + 1	1	Offset
		③	Address Bus FFFF	1	Low Byte of Restart Vector
		4	Index Register Plus Offset	0	Operand Data
LDS LDX LDD	5	1	Op Code Address	1	Op Code
		2	Op Code Address + 1	1	Offset
		③	Address Bus FFFF	1	Low Byte of Restart Vector
		4	Index Register Plus Offset	1	Operand Data (High Order Byte)
		5	Index Register Plus Offset + 1	1	Operand Data (Low Order Byte)
STS STX STD	5	1	Op Code Address	1	Op Code
		2	Op Code Address + 1	1	Offset
		③	Address Bus FFFF	1	Low Byte of Restart Vector
		4	Index Register Plus Offset	0	Operand Data (High Order Byte)
		5	Index Register Plus Offset + 1	0	Operand Data (Low Order Byte)
ASL LSR ASR NEG CLR ROL COM ROR DEC TST (1) INC	6	1	Op Code Address	1	Op Code
		2	Op Code Address + 1	1	Offset
		③	Address Bus FFFF	1	Low Byte of Restart Vector
		4	Index Register Plus Offset	1	Current Operand Data
		⑤	Address Bus FFFF	1	Low Byte of Restart Vector
		6	Index Register Plus Offset	0	New Operand Data
CPX SUBD ADD	6	1	Op Code Address	1	Op Code
		2	Op Code Address + 1	1	Offset
		③	Address Bus FFFF	1	Low Byte of Restart Vector
		4	Index Register + Offset	1	Operand Data (High Order Byte)
		5	Index Register + Offset + 1	1	Operand Data (Low Order Byte)
		⑥	Address Bus FFFF	1	Low Byte of Restart Vector
JSR	6	1	Op Code Address	1	Op Code
		2	Op Code Address + 1	1	Offset
		③	Address Bus FFFF	1	Low Byte of Restart Vector
		4	Index Register + Offset	1	First Subroutine Op Code
		5	Stack Pointer	0	Return Address (Low Order Byte)
		6	Stack Pointer - 1	0	Return Address (High Order Byte)

\* TST命令のみ、6サイクル目のR/Wラインが“1”レベルになります。

\* TST命令のみ、6サイクル目は不要データのためサンプリングしていません。

— Continued —



表 4-1 CYCLE-BY-CYCLE OPERATION (CONTINUED)

Address Mode & Instructions	Cycles	Cycle #	Address Bus	R/W Line	Data Bus
<b>INHERENT</b>					
ABA DAA SEC ASL DEC SEI ASR INC SEV CBA LSR TAB CLC NEG TAP CLI NOP TBA CLR ROL TPA CLV ROR TST COM SBA	2	1 ②	Op Code Address Op Code Address +1	1 1	Op Code Op Code of Next Instruction
ABX	3	1 ② ③	Op Code Address Op Code Address +1 Address Bus FFFF	1 1 1	Op Code Irrelevant Data Low Byte of Restart Vector
ASLD LSRD	3	1 ② ③	Op Code Address Op Code Address +1 Address Bus FFFF	1 1 1	Op Code Irrelevant Data Low Byte of Restart Vector
DES INS	3	1 ② ③	Op Code Address Op Code Address +1 Previous Register Contents	1 1 1	Op Code Op Code of Next Instruction Irrelevant Data
INX DEX	3	1 ② ③	Op Code Address Op Code Address +1 Address Bus FFFF	1 1 1	Op Code Op Code of Next Instruction Low Byte of Restart Vector
PSHA PSHB	3	1 ② 3	Op Code Address Op Code Address +1 Stack Pointer	1 1 0	Op Code Op Code of Next Instruction Accumulator Data
TSX	3	1 ② ③	Op Code Address Op Code Address +1 Stack Pointer	1 1 1	Op Code Op Code of Next Instruction Irrelevant Data
TXS	3	1 ② ③	Op Code Address Op Code Address +1 Address Bus FFFF	1 1 1	Op Code Op Code of Next Instruction Low Byte of Restart Vector
PULA PULB	4	1 ② ③ 4	Op Code Address Op Code Address +1 Stack Pointer Stack Pointer +1	1 1 1 1	Op Code Op Code of Next Instruction Irrelevant Data Operand Data from Stack
PSHX	4	1 ② 3 4	Op Code Address Op Code Address +1 Stack Pointer Stack Pointer - 1	1 1 0 0	Op Code Irrelevant Data Index Register (Low Order Byte) Index Register (High Order Byte)
PULX	5	1 ② ③ 4 5	Op Code Address Op Code Address +1 Stack Pointer Stack Pointer +1 Stack Pointer +2	1 1 1 1 1	Op Code Irrelevant Data Irrelevant Data Index Register (High Order Byte) Index Register (Low Order Byte)

— Continued —





表 4 - 1 CYCLE-BY-CYCLE OPERATION (CONTINUED)

Address Mode & Instructions	Cycles	Cycle #	Address Bus	R/W Line	Data Bus
<b>INHERENT</b>					
RTS	5	1	Op Code Address	1	Op Code
		②	Op Code Address +1	1	Irrelevant Data
		③	Stack Pointer	1	Irrelevant Data
		4	Stack Pointer +1	1	Address of Next Instruction (High Order Byte)
		5	Stack Pointer +2	1	Address of Next Instruction (Low Order Byte)
WAI	9	1	Op Code Address	1	Op Code
		②	Op Code Address +1	1	Op Code of Next Instruction
		3	Stack Pointer	0	Return Address (Low Order Byte)
		4	Stack Pointer -1	0	Return Address (High Order Byte)
		5	Stack Pointer -2	0	Index Register (Low Order Byte)
		6	Stack Pointer -3	0	Index Register (High Order Byte)
		7	Stack Pointer -4	0	Contents of Accumulator A
		8	Stack Pointer -5	0	Contents of Accumulator B
		9	Stack Pointer -6	0	Contents of Cond. Code Register
MUL	10	1	Op Code Address	1	Op Code
		②	Op Code Address +1	1	Irrelevant Data
		③	Address Bus FFFF	1	Low Byte of Restart Vector
		④	Address Bus FFFF	1	Low Byte of Restart Vector
		⑤	Address Bus FFFF	1	Low Byte of Restart Vector
		⑥	Address Bus FFFF	1	Low Byte of Restart Vector
		⑦	Address Bus FFFF	1	Low Byte of Restart Vector
		⑧	Address Bus FFFF	1	Low Byte of Restart Vector
		⑨	Address Bus FFFF	1	Low Byte of Restart Vector
		⑩	Address Bus FFFF	1	Low Byte of Restart Vector
RTI	10	1	Op Code Address	1	Op Code
		②	Op Code Address +1	1	Irrelevant Data
		③	Stack Pointer	1	Irrelevant Data
		4	Stack Pointer +1	1	Contents of Cond. Code Reg. from Stack
		5	Stack Pointer +2	1	Contents of Accumulator B from Stack
		6	Stack Pointer +3	1	Contents of Accumulator A from Stack
		7	Stack Pointer +4	1	Index Register from Stack (High Order Byte)
		8	Stack Pointer +5	1	Index Register from Stack (Low Order Byte)
		9	Stack Pointer +6	1	Next Instruction Address from Stack (High Order Byte)
		10	Stack Pointer +7	1	Next Instruction Address from Stack (Low Order Byte)
SWI	12	1	Op Code Address	1	Op Code
		②	Op Code Address +1	1	Irrelevant Data
		3	Stack Pointer	0	Return Address (Low Order Byte)
		4	Stack Pointer -1	0	Return Address (High Order Byte)
		5	Stack Pointer -2	0	Index Register (Low Order Byte)
		6	Stack Pointer -3	0	Index Register (High Order Byte)
		7	Stack Pointer -4	0	Contents of Accumulator A
		8	Stack Pointer -5	0	Contents of Accumulator B
		9	Stack Pointer -6	0	Contents of Cond. Code Register
		⑩	Stack Pointer -7	0	Irrelevant Data
		11	Vector Address FFFA (Hex)	1	Address of Subroutine (High Order Byte)
		12	Vector Address FFFB (Hex)	1	Address of Subroutine (Low Order Byte)

— Continued —



表 4 - 1 CYCLE-BY-CYCLE OPERATION (CONCLUDED)

Address Mode & Instructions	Cycles	Cycle #	Address Bus	R/W Line	Data Bus
<b>RELATIVE</b>					
BCC BHT BNE BLO BCS BLE BPL BHS BEQ BLS BRA BRN BGE BLT BVC BGT BMT BVS	3	1	Op Code Address	1	Op Code
		2	Op Code Address +1	1	Branch Offset
		③	Address Bus FFFF	1	Low Byte of Restart Vector
BSR	6	1	Op Code Address	1	Op Code
		2	Op Code Address +1	1	Branch Offset
		③	Address Bus FFFF	1	Low Byte of Restart Vector
		④	Subroutine Starting Address	1	Op Code of Next Instruction
		5	Stack Pointer	0	Return Address (Low Order Byte)
		6	Stack Pointer -1	0	Return Address (High Order Byte)



## 4-2. 取込まれたデータの表示に対するコメント

### 4-2-1. 逆アセンブル・フォーマットについて

1. オペコードのニーモニックは MOTOROLA 社の 6801/6803 標準アセンブリ・フォーマットを使用しています。
2. オペランド・データ (1 バイトあるいは 2 バイト) はすべて 16 進で表示しています。したがって数値ベースを示す記号は使用していません。

例: **LDA A #\$10**  $\longleftrightarrow$  **LDA A #10**

(MOTOROLA 社フォーマット) (TR4720 フォーマット)

3. オペコードがあつてかつ、オペランドが「データ・メモリ」にない場合は、オペランドの表示は「+++」となります。

例: 「データ・メモリ」の最後のステートがアブソリュート表示で **86/OP**

の場合は、ニーモニック表示では「**LDA A #+++**」となります。

4. インタラプトが発生し、インタラプト復帰後の命令が 3 バイト命令の場合は、オペランドの表示は「+++」となります。

例: 「インタラプト発生によるライト・サイクルの前の 2 サイクルがアブソリ

ュート表示で **7E/OP**, **00/RD** の場合は、ニーモニック表示では

「**JMP +++**」となります。

5. 内部 ROM 実行時のデータ・バス・データは全く意味を持っていません。したがって内部 ROM 実行時の表示はアブソリュート表示によるアドレス・バス・データの表示以外は、意味を持ちません。

6. リラティブ・アドレッシング・モードの場合は、オペランドは 1 バイトですが、内部で 16 進 4 桁の絶対アドレスに変換して表示します。

例: **BRA & 1234** (& はリラティブ・アドレッシングを示す)

7. 6801/6803 の命令セットに存在しないオペコードが発見された場合には、「ノーマル・プリンク表示」の「?OP」で表示します。

例: **00 ?OP**  $\longleftrightarrow$  **00/OP**

(ニーモニック表示) (アブソリュート表示)

4-2-2.  $\mu P$  の特別な動作における表示について

1. 「WAI」の場合：レジスタ内容の退避後の  $Sp(n-7)$  のアドレスがインタラプトの発生まで連続しますので、この間のデータの取込みはしません。S & Tモードでの対応関係には注意して下さい。
2. ノンマスクابل・インタラプト ( $\overline{NMI}$ ) の場合：インタラプトが受け付けられますと、レジスタ内容のスタックへの退避、ベクタ・アドレス内容の読出しに続いて、処理ルーチンへ制御が移ります。

例： [ ADDRESS ] [ DATA ]

00FF	12/WR	.....	PCL	} レジスタ内容 の退避
00FE	F0/WR	.....	PCH	
00FD	00/WR	.....	IXL	
00FC	00/WR	.....	IXH	
00FB	55/WR	.....	ACCA	
00FA	AB/WR	.....	ACCB	
00F9	DD/WR	.....	CC	
FFFC	F2/RD	} ベクタ・アド レスの読出し		
FFFD	A0/RD			
F2A0	LDA	A#00...	処理ルーチン	

3. マスクابل・インタラプト ( $\overline{TRQ}$ ) の場合：インタラプトが受け付けられますと、レジスタ内容のスタックへの退避、ベクタ・アドレス内容の読出しに続いて処理ルーチンへ制御が移ります。

例： [ ADDRESS ] [ DATA ]

00FA	34/WR	.....	PCL	} レジスタ内容 の退避
00F9	FB/WR	.....	PCH	
00F8	12/WR	.....	IXL	
00F7	FA/WR	.....	IXH	
00F6	D1/WR	.....	ACCA	
00F5	D2/WR	.....	ACCB	

00F4	2B/WR	.....	CC	}
FFF8	F3/RD	}	ベクタ・アド	
FFF9	00/RD		レスの読出し	
F300	LDA	B#00	... 処理ルーチン	

4. 6801 のモード5, モード6を使用する場合は,ポート4をアドレス・バスとして指定されない場合, アドレス・バス・データの表示に意味がなくなります。また, モード6においては「**WAI**」インストラクション後のデータの取込みができなくなります。



## 第5章 動作チェック

CPUプローブ先端のデータ取込み点から、本体内部の「データ・メモリ」までの間に、コネクタやICなどによる多くの接続点があります。そのため、常に正しいデータの取込みが行なえるように、パーソナリティ・ボードには $\mu$ Pのバスおよびコントロール信号に準じたテスト・パターン発生器があり、背面パネルの**CPU PROBE TEST**ソケットへテストパターンが出力されています。このテスト・パターンによってチェックしますと、プローブ先端から「データ・メモリ」までのルートが正常に動作しているかどうか確認することができます。以下に示す手順でチェックを行なって下さい。

1. **CPU PROBE** に、40ピンDIPクリップ・コネクタあるいは40ピンDIPプラグ・コネクタを接続します。
2. 背面パネルの**CPU PROBE TEST**ソケットへは、プラグ・コネクタの場合は直接に、クリップ・コネクタの場合は付属の「40ピンDIP ICパッケージ」を取付けてから接続して下さい。
3. **TRACE** キーによって「**TRACE STATE ALL**」モードに設定します。次に**DEFAULT** キーを押して、全ての「トレース条件」を初期状態として下さい。
4. 「入力プロンプト」が「**TRIG [ADRS]**」の位置にありますから**ENTRY**キーによって**0000**と入力します。
5. **RUN** キーを押しますと〔写真5〕に示すようなテスト・パターンがCRTディスプレイに表示されます。アドレス・バス・データとデータ・バスデータの各桁が同一の数字となっていることを確認して下さい。
6. 必要に応じて他のファンクションの基本動作の確認が行なえます。





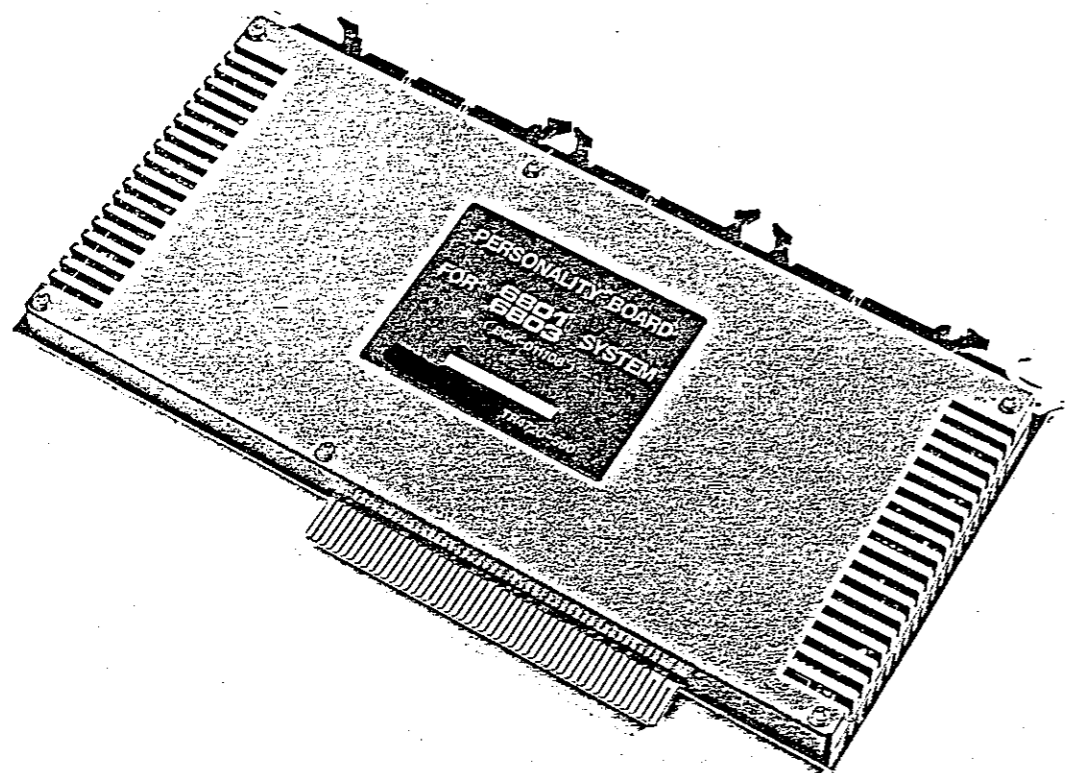


写真1 パーソナリティ・ボード

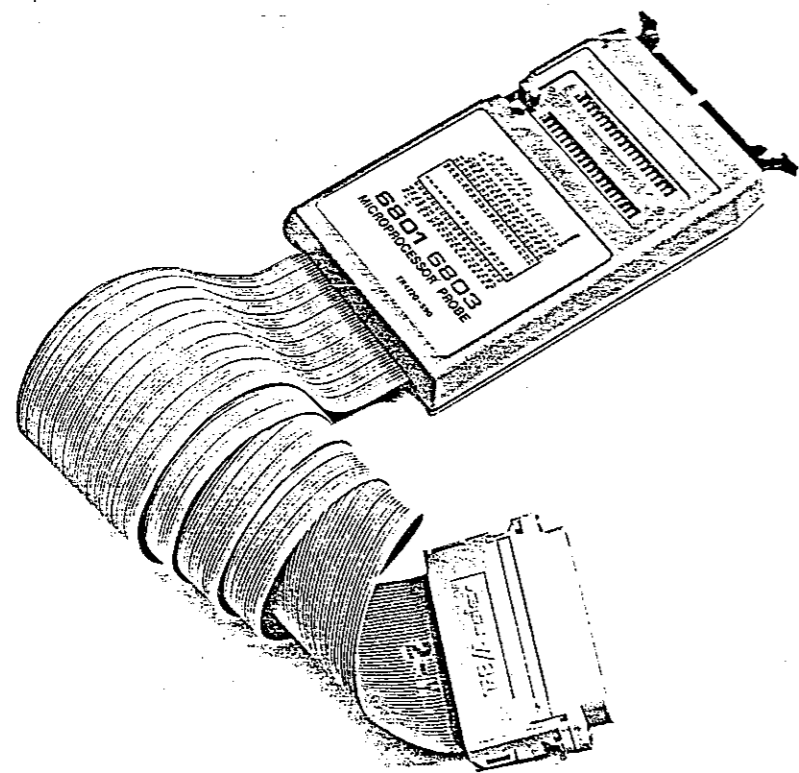
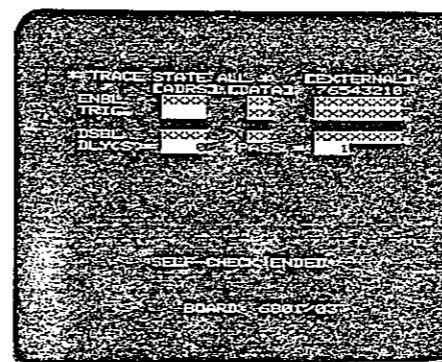


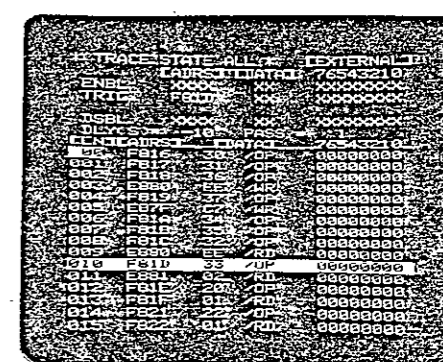
写真2 CPUプローブ

写真3



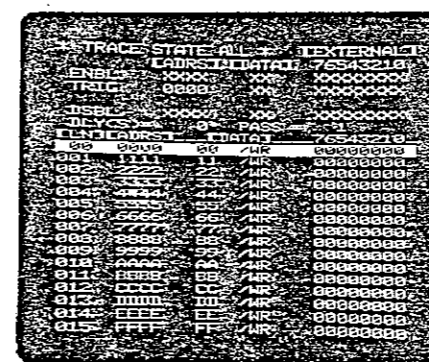
POWER ON時のパーソナリティ・ボード  
名称表示

写真4

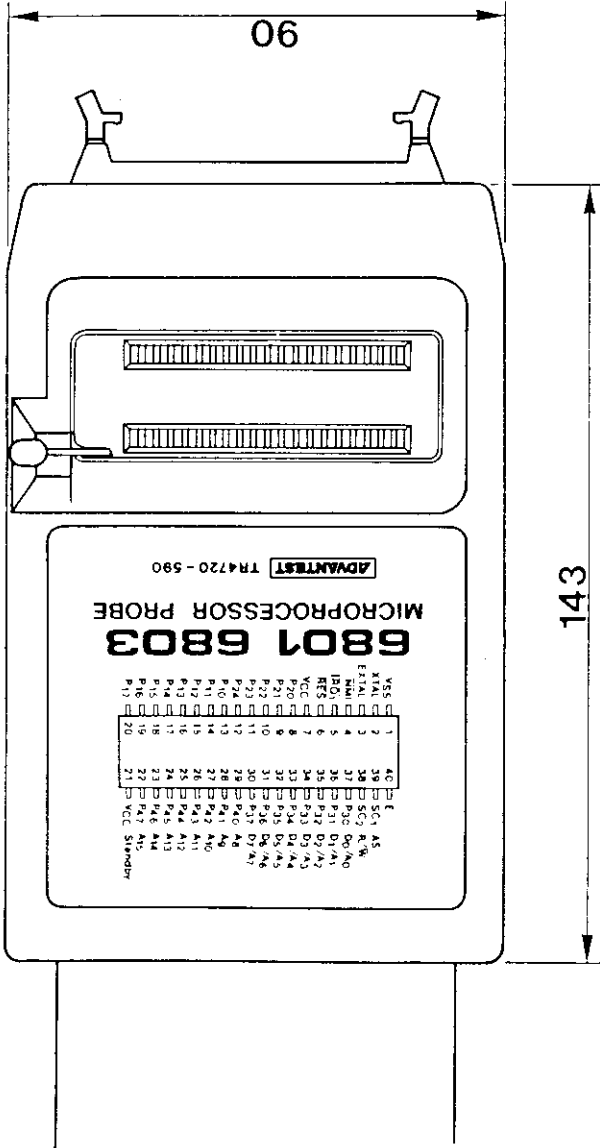
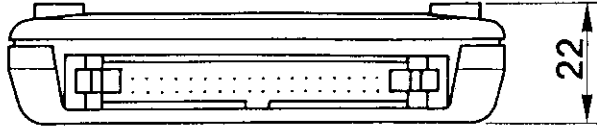


「TRACE STATE ALL」  
ABSモードの表示

写真5



テスト・パターン  
(データ・バス・フラグは/OPとなることもあります。)



TR4720-590  
 EXTERNAL VIEW





## 本製品に含まれるソフトウェアのご使用について

本製品に含まれるソフトウェア（以下本ソフトウェア）のご使用について以下のことにご注意下さい。

ここでいうソフトウェアには、本製品に含まれる又は共に使用されるコンピュータ・プログラム、将来弊社よりお客様に提供されることのある追加、変更、修正プログラムおよびアップデート版のコンピュータ・プログラム、ならびに本製品に関する取扱説明書等の付随資料を含みます。

### 使用許諾

本ソフトウェアの著作権を含む一切の権利は弊社に帰属いたします。

弊社は、本ソフトウェアを本製品上または本製品とともに使用する限りにおいて、お客様に使用を許諾するものといたします。

### 禁止事項

お客様は、本ソフトウェアのご使用に際し以下の事項は行わないで下さい。

- 本製品使用目的以外で使用する事
- 許可なく複製、修正、改変を行う事
- リバース・エンジニアリング、逆コンパイル、逆アセンブルなどを行う事

### 免 責

お客様が、本製品を通常の用法以外の用法で使用したことにより本製品に不具合が発生した場合、およびお客様と第三者との間で著作権等に関する紛争が発生した場合、弊社は一切の責任を負いかねますのでご了承下さい。

# 保証について

製品の保証期間は、お客様と別段の取り決めがある場合または当社が特に指定した場合を除き、製品の納入日(システム機器については検取日)から1年間といたします。保証期間中に、当社の責めに帰する製造上の欠陥により製品が故障した場合、無償で修理いたします。ただし、下記に該当する場合は、保証期間中であっても保証の対象から除外させていただきます。

- 当社が認めていない改造または修理を行った場合
- 支給品等当社指定品以外の部品を使用した場合
- 取扱説明書に記載する使用条件を超えて製品を使用した場合(定められた許容範囲を超える物理的ストレスまたは電流電圧がかかった場合など)
- 通常想定される使用環境以外で製品を使用した場合(腐食性の強いガス、塵埃の多い環境等による電気回路の腐食、部品の劣化が早められた場合など)
- 取扱説明書または各種製品マニュアルの指示事項に従わずに使用された場合
- 不注意または不当な取扱により不具合が生じた場合
- お客様のご指示に起因する場合
- 消耗品や消耗材料に基づく場合
- 火災、天変地異等の不可抗力による場合
- 日本国外に持出された場合
- 製品を使用できなかったことによる損失および逸失利益

当社の製品の保証は、本取扱説明書に記載する内容に限られるものとします。

## 保守に関するお問い合わせについて

長期間にわたる信頼性の保証、国家標準とのトレーサビリティを実現するためにアドバンテストでは、工場から出荷された製品の保守に対し、カスタマ・エンジニアを配置しています。

カスタマ・エンジニアは、故障などの不慮の事故は元より、製品の長期間にわたる性能の保証活動にフィールド・エンジニアとしても活動しています。

万一、動作不良などの故障が発生した場合には、当社のMS(計測器)コールセンターにご連絡下さい。

## 製品修理サービス

- 製品修理期間  
製品の修理サービス期間は、製品の納入後10年間とさせていただきます。
- 製品修理活動  
当社の製品に故障が発生した場合、当社に送っていただく引取り修理、または当社技術員が現地に出張しての出張修理にて対応いたします。

## 製品校正サービス

- 校正サービス  
ご使用中の製品に対し、品質および信頼性の維持を図ることを目的に行うもので、校正後の製品には校正ラベルを貼付けし、品質を保証いたします。
- 校正サービス活動  
校正サービス活動は、株式会社アドバンテスト カスタマサポートに送っていただく引取り校正、または当社技術員が現地に出張しての出張校正にて対応いたします。

## 予防保守のおすすめ

製品にはエレクトロニクス部品およびメカニカル部品の一部に寿命を考慮すべき部品を使用しているため、定期的な交換を必要とします。適正な交換期間を過ぎて使用し発生した障害に対しては、修理および性能の保証ができません場合があります。

アドバンテストでは、このようなトラブルを未然に防ぐため、予防保守が有効な手段と考え、予防保守作業を実施する体制を整えています。

各種の予防保守を定期的実施することで、製品の安定稼働を図り、不意の費用発生を防ぐため、年間保守契約による予防保守の実施をお勧めいたします。

なお、年間保守契約は、製品、使用状況および使用環境により内容が変わりますので、最寄りの弊社営業支店にお問い合わせ下さい。

# ADVANTEST

<http://www.advantest.co.jp>

## 株式会社アドバンテスト

本社事務所  
〒100-0005 千代田区丸の内1-6-2 新丸の内センタービルディング  
TEL: 03-3214-7500 (代)

第4アカウント販売部(東日本)  
〒100-0005 千代田区丸の内1-6-2 新丸の内センタービルディング  
TEL: 0120-988-971  
FAX: 0120-988-973

第4アカウント販売部(西日本)  
〒564-0062 吹田市垂水町3-34-1  
TEL: 0120-638-557  
FAX: 0120-638-568

### ★計測器に関するお問い合わせ先

(製品の仕様、取扱い、修理・校正等計測器関連全般)

MS(計測器)コールセンタ ☎ TEL 0120-919-570  
FAX 0120-057-508

E-mail: [icc@acs.advantest.co.jp](mailto:icc@acs.advantest.co.jp)