

株式会社アドバンテスト
IR 技術説明会 質疑応答要旨

2023 年 11 月 29 日(水)

Q: HBM(High Bandwidth Memory)向けのテスト売上の規模と今後の見込み、マーケットシェアはどのくらいを見込んでいるのか。また、HBM のウエハテスト工程は通常の DRAM のウエハテストに比べてどのくらいのテストタイムに差があるのか。

A: 2023 年度第 2 四半期決算説明会におけるメモリ・テストの通期売上予想は 760 億円であり、その約 9 割が DRAM 向けと予想している。その DRAM 向け売上の 6 割程度がウエハテスト向けで、HBM 向けはその過半を占めていると考える。来期の売上規模については、今商談を精査中であるが、テストの生産能力を台数ベースで現状の 1.5 倍から 2 倍くらいに順次引き上げていくことを検討している。

シェアに関しては、当社が把握している限り、今までの当社のウエハテストのインストールベースや、測定実績への高い信頼から、HBM の立ち上がりの需要のほとんどにおいて、当社が商談を受領していると認識している。ただし、メモリ半導体の顧客は 2 社購買を採用しており、今後競合の参入可能性は否定できない。当社はこの需要の立ち上がり時における測定実績やインストールベースを活かしながら、今後の商談も優位に進めていきたいと考えている。

HBM のテストタイムについては、メモリウエハを 8 段もしくは 12 段とスタック(積層)した後にテストする工程の追加によって、通常の DDR5 のテストと比べて長くなる。テストタイムについては、顧客の機密情報になる。またテスト仕様やテスト工程数は顧客によってまちまちであることから、定量的にテストタイムの長さを一般化することは難しい。しかしながら、HBM ではスタックすることによるメモリ容量の増加、テスト工程の追加に加え、品質保証の向上要求などにより、テストタイムは長くなっている印象。

Q: HBM のテスト工程について改めて確認したい。ウエハ段階でのテストは、DRAM のみのウエハテストに加え、ロジックウエハの上にメモリをスタックした後改めてウエハの形状でテストを行うという理解でよいか。スタック後のテストはどの装置でどのようなテストを実施しているのか。また、DRAM のテストはパッケージ後の高速テストが付加価値が高いという認識を持っているが、その需要が減る一方、ウエハテストの需要が高まることで収益性への影響はどうか。

A: 説明会資料 16 ページの左図のとおり、HBM は、ウエハ形状の DRAM をテストした後、同じくウエハ形状でテストを済ませたロジックウエハとスタックしたものである。HBM はこのようにスタックした後に、改めてウエハ形状でテストを行う。この図では例としてスタック後のテスト工程を 3 つとしているが、顧客によって、温度環境やテスト項目を変えて、4 つ以上の工程が存

在することもある。その中で顧客は、DRAM の高速動作を確認する I/F(インタフェース)スピードテストを始めとした複雑なテストを実施しようとしている。

テストとしては、最初の DRAM ウエハテストと HBM スタック後のウエハテストは基本的に同じメモリテストが使用されているが、求められるテスト条件は異なる。スタック後のテストの方がテストスピードや機能テストにおいて、ワンランク上のテスト性能が求められている。従来のパッケージ後の I/F スピードテストと同等の、機能性が高く、複雑で付加価値の高いテストを行うためにウエハ測定向けのテスト構成もアップグレードが必要となり、テストの付加価値も高まると見込んでいる。加えて、このような複雑なテストでは、同時に測定できるメモリ半導体の数が限られることから、必要となるテスト台数も通常の DRAM ウエハテストより HBM スタック後の方が多くなる流れとみている。

Q: HBM 向けメモリ・テスト市場の今後の成長率見通しを教えてください。説明会資料 15 ページで HBM 自体の 2023 年～2028 年の年成長率は 49%(ビットベース)との記載があるが、テスト需要も同じような成長率とみているのか。

A: 2024 年、2025 年は、HBM の立ち上げのため、HBM 向けメモリ・テスト市場は、その成長率とほぼ同じ成長率で伸びていくとみている。しかし 2026 年以降は、顧客側において HBM の品質が向上していく中、テストの効率化も実施されていくと考える。そういった段階に入った際に、テスト市場がどの程度の成長率になるかは、情報収集・精査する必要がある。

Q: HBM について、ウエハをダイシング(チップに切断)した後でのテストの見通しについてお聞きしたい。現状ではダイシング後のテストはされていないと思うが、ダイシング後の故障が問題視されているという話も聞こえている。HBM への品質保証要求が高まる中で、ウエハ段階だけでなく、ダイシング後のテストも求められていくのではないかと。

もしそうなると、御社のメモリ・テスト事業において収益性の高いパッケージテストの売上が高まるので、利益面でも相当プラスになると考えている。

A: ダイシング前後における半導体の品質については、顧客であるメモリ半導体メーカーにおいても議論している。現状はウエハ形状でテストしたのち出荷しているが、ダイシングした後の形状でテストが可能か、ハンドリング方法含めてテスト手法を顧客と議論しながら、当社は必要となりうる要素技術の開発を進めている。

もしダイシング後に当社のメモリ・テストおよびテスト・ハンドラを用いてのテスト手法が確立できれば、従来通りのパッケージテスト環境で I/F スピードテストが可能となる。

Q: HBM 向けテストの売上が拡大する中で、メモリ・テストの収益性の今後の見通しはどうか。

A: メモリ半導体の高性能化にともない、メモリ・テストも高性能化が必要となり、その結果、技術的な付加価値が上がり、収益性も向上していく傾向にある。HBM 向けテストでは、従来のウエハテストと比較して、ワンランク、ツーランク上の性能向上が求められていく状況であり、そ

れにともない、当社は製品アップグレードのソリューションなどを提供することで、収益性は改善すると見込んでいる。

Q: HBM の世代交代が進んでいく中で、御社は新製品を出していく予定があるのか。

A: 当社の認識としては、HBM4 の初期世代に関しては、当社の現行製品でカバーできると考える。ただし HBM4 はまだ仕様が確定していないため、テスト手法も固まっていない。そのため、現行製品に対して機能追加など、必要になるかもしれないが、当社が経験したことのないような技術が必要になるとは考えていない。

一方で、当社は顧客価値、市場競争力を向上させるための技術開発は常に行っている。次世代のメモリに対応した、より競争力の高い製品をタイムリーに市場にリリースすべく、製品開発スケジュールは立てているので、そういった製品は順次発表していく。

以上

※本資料に記載されている内容は、IR 技術説明会の質疑をもとに当社の判断で要約したものです。また本資料には、将来の事象についての、当社の現時点における期待、見積りおよび予測に基づく記述が含まれております。これらの将来の事象に係る記述は、当社における実際の財務状況や活動状況が、当該将来の事象に係る記述によって明示されているものまたは暗示されているものと重要な差異を生じるかもしれないという既知および未知のリスク、不確実性その他の要因が内包されており、当社としてその実現を約束する趣旨のものではありません。